

LP2996

DDR ターミネーション・レギュレータ

概要

LP2996 は、JEDEC 標準の SSTL-2 仕様に適合する DDR-SDRAM ターミネーションのリニア・レギュレータです。LP2996 は負荷変動に対して優れた応答を発揮する高速オペアンプを内蔵しています。出力段は 1.5A の連続電流を供給でき、さらに DDR-SDRAM ターミネーションに求められる最大 3A の変動ピークにも対応していますが、貫通電流は発生しません。 V_{SENSE} 端子を介した電圧監視により優れた出力負荷レギュレーションを実現するとともに、チップセットや DDR DIMM に必要な V_{REF} 電圧も生成して出力します。

このほか LP2996 は、Suspend-to-RAM (STR) 機能をサポートするアクティブ LOW のシャットダウン (\overline{SD}) 端子を備えています。 \overline{SD} を LOW にすると、 V_{TT} 出力は TRI-STATE のハイ・インピーダンスとなりますが、 V_{REF} はアクティブを保ちます。本モードでは待機時消費電流が小さくなるため、電力節減を図れます。

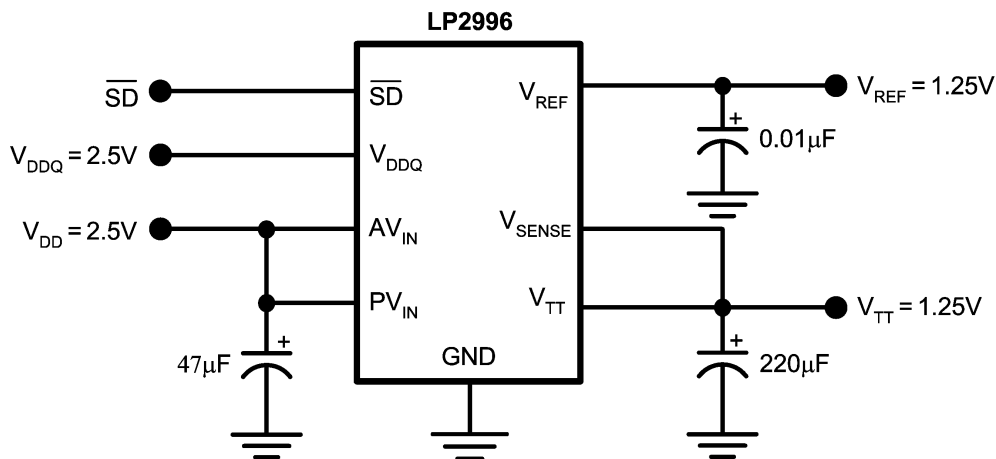
特長

- 電流ソースおよび電流シンク
- 低出力電圧オフセット
- 外付け抵抗不要
- リニア・トポロジ
- Suspend-to-RAM (STR) 機能
- 少ない外付け部品
- サーマル・シャットダウン
- SO-8、PSOP-8、LLP-16 パッケージで供給

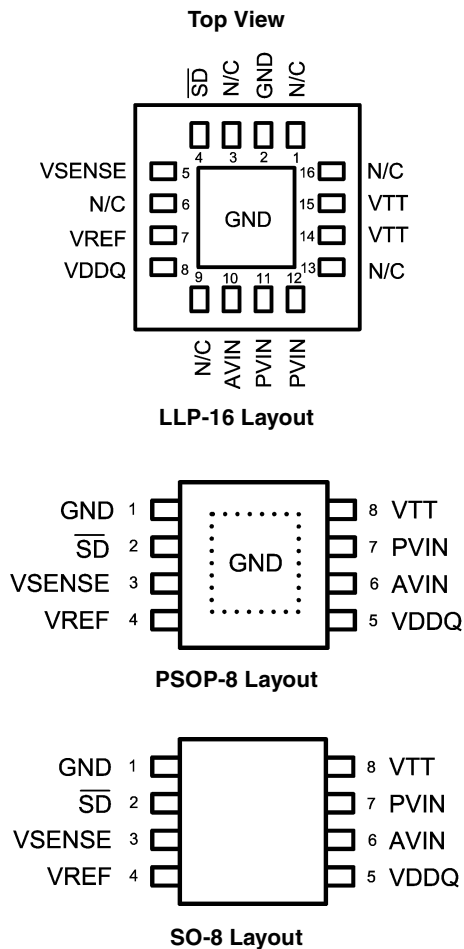
アプリケーション

- DDR-I と DDR-II ターミネーション電圧に対応
- SSTL-2 と SSTL-3 ターミネーション
- HSTL ターミネーション

代表的なアプリケーション回路



ピン配置図



端子説明

SO-8 ピンまたは PSOP-8 ピン	LLP ピン	端子名	機能
1	2	GND	グラウンド
2	4	\overline{SD}	シャットダウン
3	5	V_{SENSE}	レギュレートされた V_{TT} の電圧フィードバック入力端子
4	7	V_{REF}	内部リファレンス電圧 $V_{DDQ}/2$ のバッファ出力
5	8	V_{DDQ}	内部リファレンス電圧 $V_{DDQ}/2$ を生成するための入力電圧
6	10	AV_{IN}	内部制御回路電源入力端子
7	11, 12	PV_{IN}	パワー・オペアンプ出力段専用電源入力端子
8	14, 15	V_{TT}	ターミネーション抵抗に接続するターミネーション電圧出力
-	1, 3, 6, 9, 13, 16	NC	内部接続なし

製品情報

Order Number	Package Type	NSC Package Drawing	Supplied As
LP2996M	SO-8	M08A	95 Units per Rail
LP2996MX	SO-8	M08A	2500 Units Tape and Reel
LP2996MR	PSOP-8	MRA08A	95 Units Tape and Reel
LP2996MRX	PSOP-8	MRA08A	2500 Units Tape and Reel
LP2996LQ	LLP-16	LQA16A	1000 Units Tape and Reel
LP2996LQX	LLP-16	LQA16A	4500 Units Tape and Reel

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照下さい。

リード温度 (ハンダ付け、10 秒間)

260

ESD 耐圧 (Note 2)

1kV

GND 基準の PV_{IN} 、 AV_{IN} 、 V_{DDQ} 各電圧 - 0.3V ~ + 6V

保存温度範囲 - 65 ~ + 150

接合部温度 150

SO-8 熱抵抗 (J_A) 151 /W

PSOP-8 熱抵抗 (J_A) 43 /W

LLP-16 熱抵抗 (J_A) 51 /W

動作定格

接合部温度範囲 (Note 3)

0 ~ + 125

GND 基準の AV_{IN} 電圧

2.2V ~ 5.5V

PV_{IN} 電源電圧

0 ~ AV_{IN}

SD 入力電圧

0 ~ AV_{IN}

電気的特性

標準字体で記載された仕様は $T_J = 25$ の場合であり、太字で記載されたリミット値は「動作温度範囲」($T_J = 0\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$) に適用されます (Note 4)。特記のない限り、 $AV_{IN} = PV_{IN} = 2.5\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$ です (Note 5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_{REF}	V_{REF} Voltage	$V_{IN} = V_{DDQ} = 2.3\text{V}$ $V_{IN} = V_{DDQ} = 2.5\text{V}$ $V_{IN} = V_{DDQ} = 2.7\text{V}$	1.135 1.235 1.335	1.158 1.258 1.358	1.185 1.285 1.385	V
Z_{VREF}	V_{REF} Output Impedance	$I_{REF} = -30$ to $+30\text{ }\mu\text{A}$		2.5		k Ω
V_{TT}	V_{TT} Output Voltage	$I_{OUT} = 0\text{A}$ $V_{IN} = V_{DDQ} = 2.3\text{V}$ $V_{IN} = V_{DDQ} = 2.5\text{V}$ $V_{IN} = V_{DDQ} = 2.7\text{V}$ $I_{OUT} = \pm 1.5\text{A}$ (Note 8) $V_{IN} = V_{DDQ} = 2.3\text{V}$ $V_{IN} = V_{DDQ} = 2.5\text{V}$ $V_{IN} = V_{DDQ} = 2.7\text{V}$	1.125 1.225 1.325 1.125 1.225 1.325	1.159 1.259 1.359 1.159 1.259 1.359	1.190 1.290 1.390 1.190 1.290 1.390	V
$V_{OS_{TT}/V_{TT}}$	V_{TT} Output Voltage Offset ($V_{REF} - V_{TT}$)	$I_{OUT} = 0\text{A}$ $I_{OUT} = -1.5\text{A}$ (Note 8) $I_{OUT} = +1.5\text{A}$ (Note 8)	-20 -25 -25	0 0 0	20 25 25	mV
I_Q	Quiescent Current (Note 6)	$I_{OUT} = 0\text{A}$ (Note 4)		320	500	μA
Z_{VDDQ}	V_{DDQ} Input Impedance			100		k Ω
I_{SD}	Quiescent Current in Shutdown (Note 6)	$SD = 0\text{V}$		115	150	μA
I_{Q_SD}	Shutdown Leakage Current	$SD = 0\text{V}$		2	5	μA
V_{IH}	Minimum Shutdown High Level		1.9			V
V_{IL}	Minimum Shutdown Low Level				0.8	V
I_V	V_{TT} Leakage Current in Shutdown	$SD = 0\text{V}$ $V_{TT} = 1.25\text{V}$		1	10	μA
I_{SENSE}	V_{SENSE} Input Current			13		nA
T_{SD}	Thermal Shutdown	(Note 7)		165		Celcius
T_{SD_HYS}	Thermal Shutdown Hysteresis			10		Celcius

電気的特性 (つづき)

標準字体で記載された仕様は $T_J = 25$ の場合であり、太字で記載されたリミット値は「動作温度範囲」($T_J = 0\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$)に適用されます (Note 4)。特記のない限り、 $AV_{IN} = PV_{IN} = 2.5\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$ です (Note 5)。

Note 1: 「絶対最大定格」とは、デバイスが破壊する可能性のあるリミット値を示します。「動作定格」とはデバイスが正しく機能する条件を示しますが、特定の性能限界を保証するものではありません。保証された仕様、およびそのテスト条件については「電気的特性」を参照してください。仕様の保証は、表記のテスト条件にのみ適用されます。記載のテスト条件以外でデバイスを動作させると、性能特性が低下することがあります。

Note 2: 使用したテスト回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k Ω を通して各端子に放電させます。

Note 3: 高温では、熱抵抗に基づいてデバイスをデレーティングする必要があります。SO-8 パッケージでは、ヒート・シンクなしで接合部から周囲への熱抵抗 $\theta_{JA} = 151.2\text{ }^{\circ}\text{C/W}$ でデレーティングしてください。

Note 4: 25 $^{\circ}\text{C}$ 時のリミット値は 100%テストされます。全動作温度範囲におけるリミット値は、統計的品質管理 (SQC) 方式によって決められた補正データを加味して保証されています。これらのリミット値は、ナショナル セミコンダクター社の平均出荷品質レベル (AOQL) の計算に使用されます。

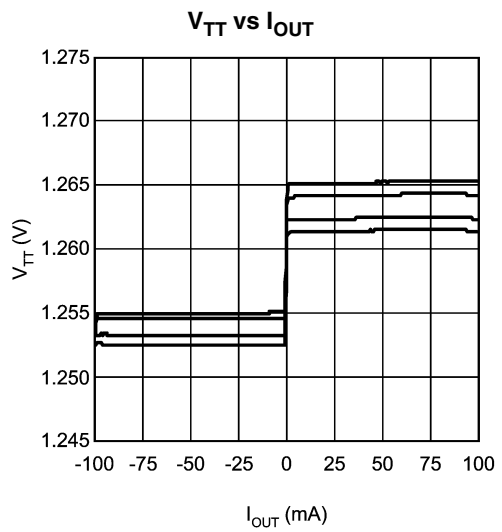
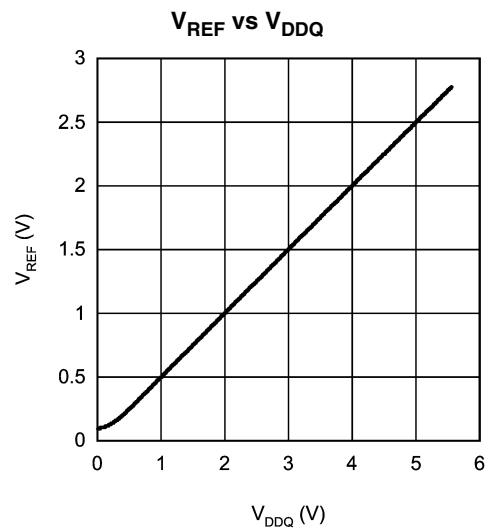
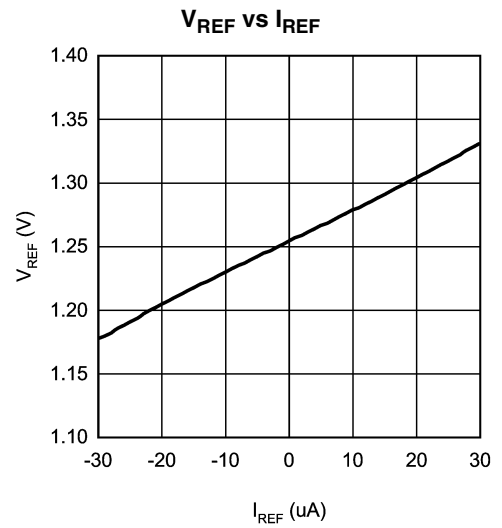
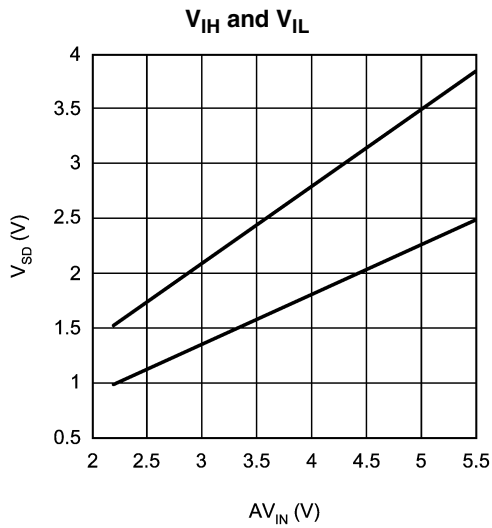
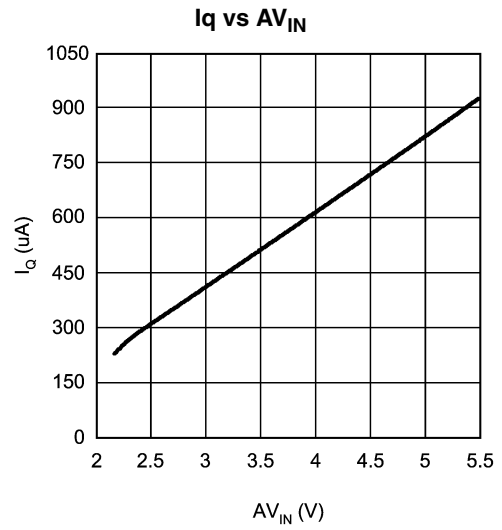
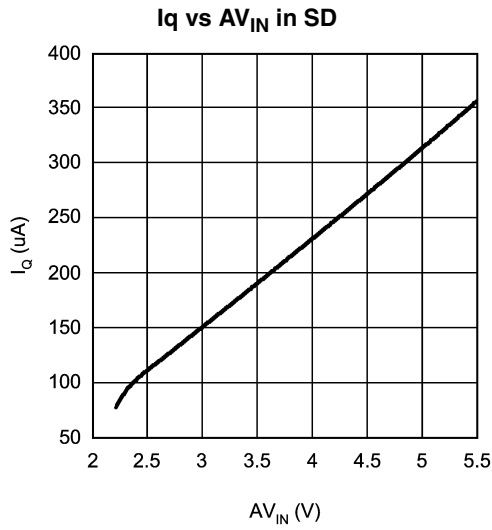
Note 5: V_{IN} は、 $V_{IN} = AV_{IN} = PV_{IN}$ として定義されます。

Note 6: 非動作時電流は AV_{IN} に流れ込む電流として定義されています。

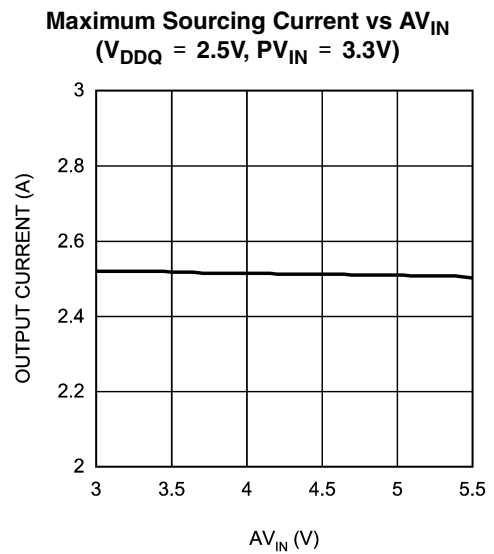
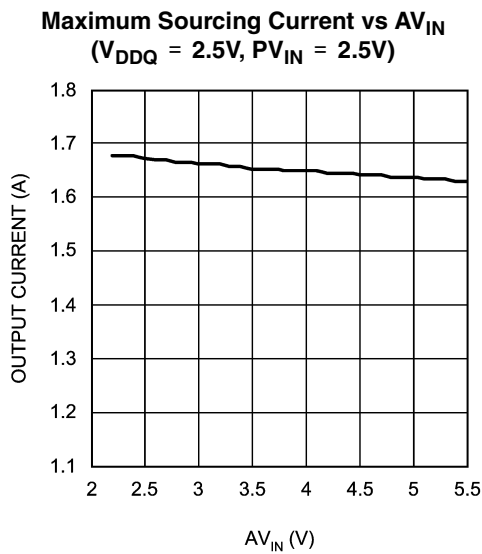
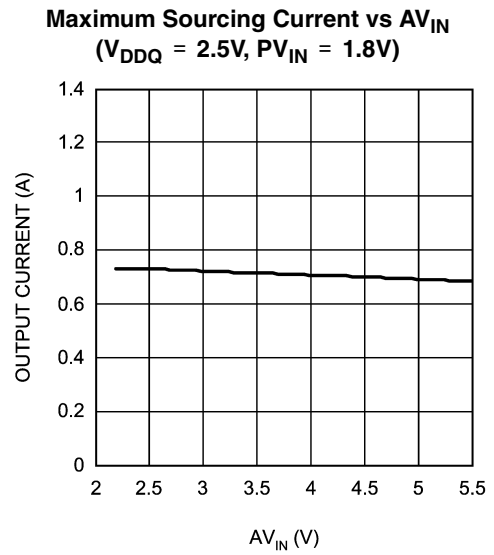
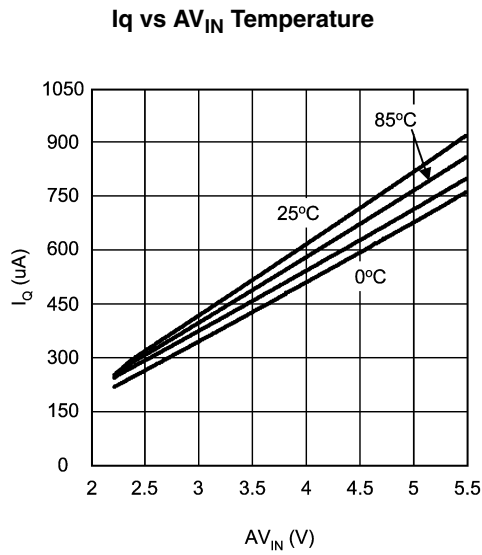
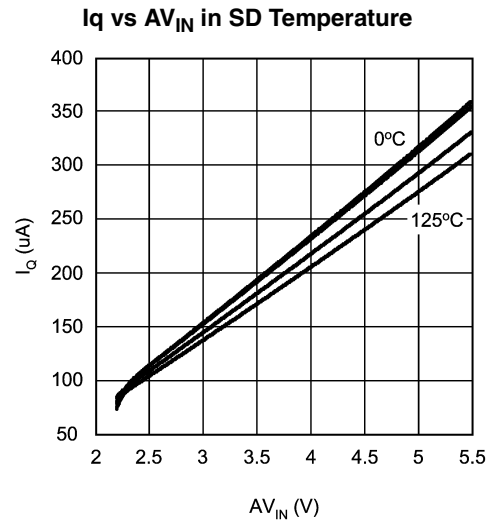
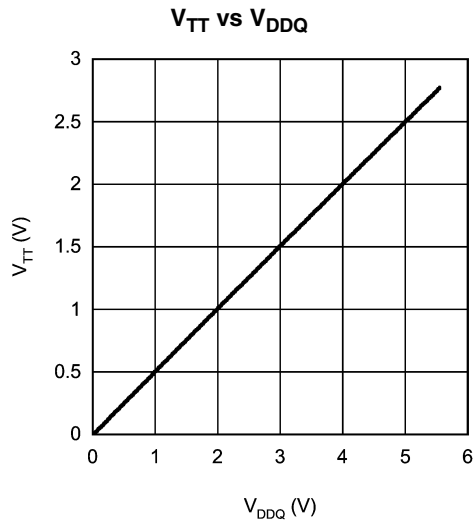
Note 7: 最大許容消費電力は、最大接合部温度 $T_{J(MAX)}$ 、接合部・周囲間熱抵抗 θ_{JA} 、周囲温度 T_A の関数です。最大許容消費電力を超えると、ダイ温度が極端に上昇してレギュレータはサーマル・シャットダウン状態に入ります。

Note 8: V_{TT} 負荷レギュレーションは 10ms の電流パルスを用いて V_{TT} を測定しテストされています。

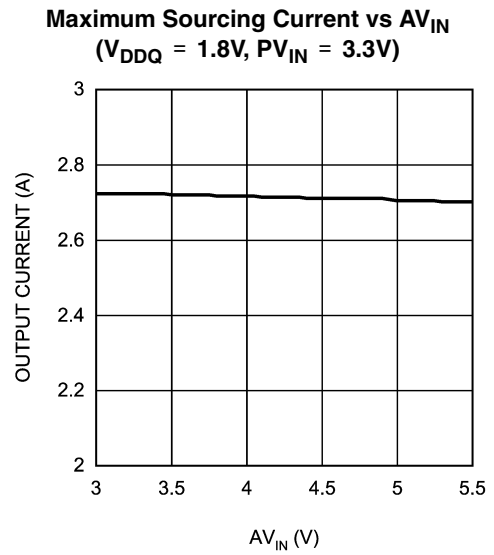
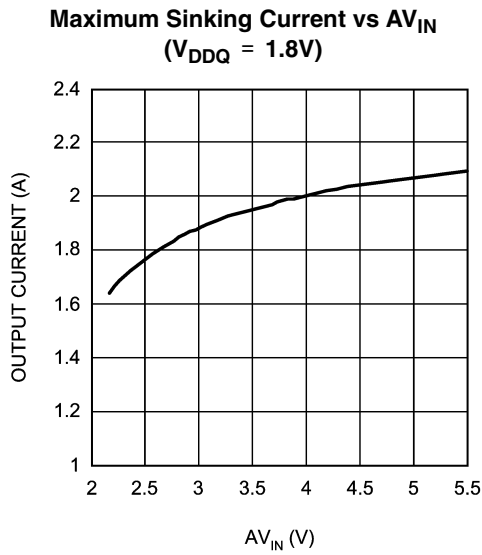
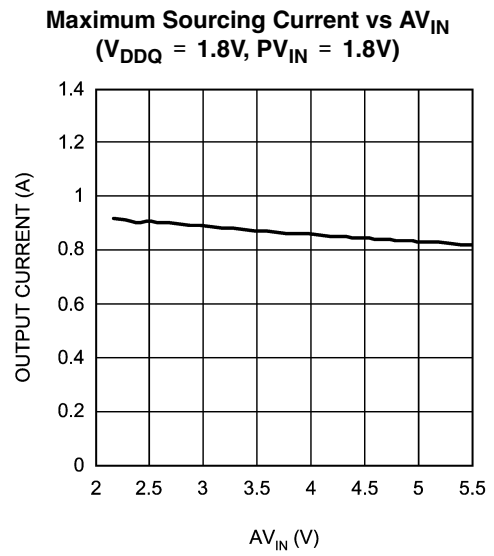
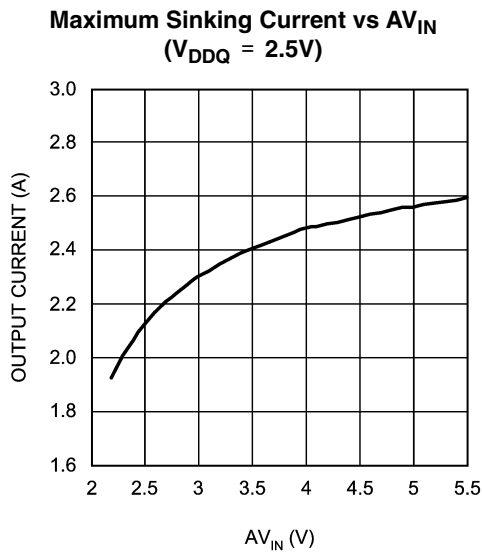
代表的な性能特性



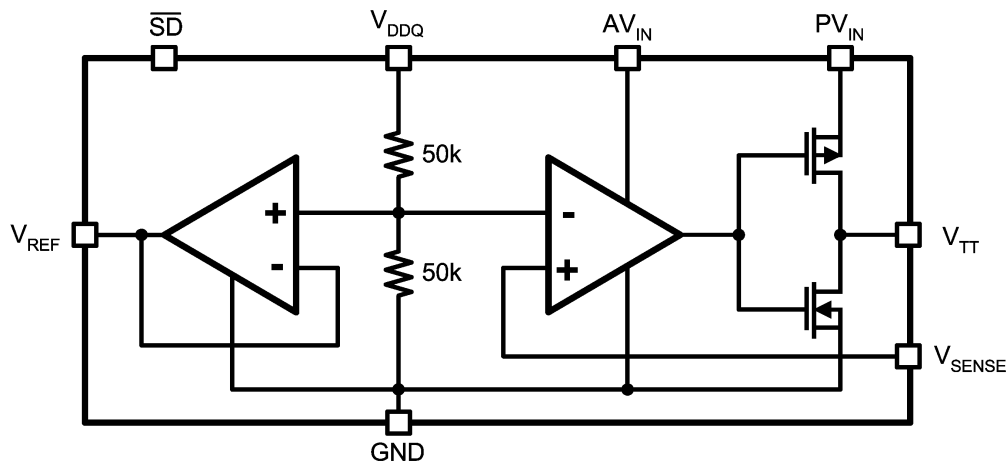
代表的な性能特性 (つぎ)



代表的な性能特性 (つづき)



ブロック図



説明

LP2996 は、JEDEC 標準の SSTL-2 仕様に適合する DDR-SDRAM バス・ターミネーションのリニア・レギュレータです。V_{TT} 出力には V_{DDQ}/2 に等しいレギュレート電圧が得られ、電流はシンクとソースの両方に対応しています。出力段は優れた負荷レギュレーションを維持するように設計されており、貫通電流の発生が防止されています。また、LP2996 は 2 種類の異なる電源レール（電圧）での動作に対応しており、パワー出力段とアナログ回路を分離できます。電源を分割すると、内部消費電力の低減を図れます。また LP2996 は、次世代の DDR-SDRAM メモリ (DDR II) に対応したターミネーション・ソリューションを構成可能です。また、SSTL-3 や HSTL といった、異なるロジック I/F 用のターミネーション電圧も生成できます。

シリーズ・スタブ・ターミネーテッド・ロジック (SSTL) は、メモリバスのデータ転送時の信号品質を改善するために開発されました。このターミネーション方式は、高い周波数で DDR-SDRAM のデータ転送を行う際に、信号反射によるデータ・エラーを防ぐためには不可欠と言えます。最も一般的なターミネーション回路形式は、チップセットとメモリの間に 1 つの直列抵抗 R_S を設け、さらにターミネーション抵抗 R_T を 1 つ用いる、Class II シグナル・パラレル・ターミネーションです。回路の例を Figure 1 に示します。

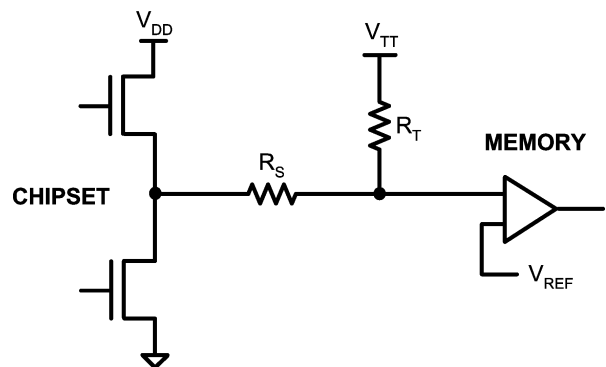


FIGURE 1. SSTL-Termination Scheme

端子説明

AV_{IN} および PV_{IN}

AV_{IN} および PV_{IN} は LP2996 の電源端子です。AV_{IN} は、全内部回路の電源として用いられます。PV_{IN} は、V_{TT} 生成用の出力段専用電源です。アプリケーションによっては両電源端子に異なる電源を与えて動作させるのも可能です。V_{TT} に近い電圧の場合 RSDON によって出力が制限されますが、PV_{IN} に高電圧を与えれば最大連続出力電流を増加させることができます。ただし、PV_{IN} に高電圧を与えると内部電力損失が増え、設計が熱的な制約を受ける問題点が生じます。SSTL-2 アプリケーションでは、AV_{IN} と PV_{IN} をともに 2.5V レールに接続するのが最も妥当です。短絡により 2 つの端子を個別にバイパスする必要はありません。入力電圧の選択に対する唯一の制約として、PV_{IN} は AV_{IN} 以下でなければなりません。過度の内部電力消費による熱リミットへの到達を防ぐため、PV_{IN} は 3.3V 以下の電圧レールに接続することを推奨します。接合部温度がサーマル・シャットダウン温度を超えると、デバイスはマニュアルでのシャットダウン時と同じ状態に入り、V_{REF} はそのまま維持されますが、V_{TT} は TRI-STATE になります。

V_{DDQ}

V_{DDQ} は入力で、V_{TT} のレギュレートに必要な内部リファレンス電圧の生成に使われます。リファレンス電圧は 2 個の 50k Ω 内蔵抵抗の分圧によって生成されます。これによって、V_{TT} の V_{DDQ}/2 に対する正確な追従が得られます。リモート・センスとなるように V_{DDQ} 端子に配線してください。AV_{IN} または PV_{IN} の代わりに、DIMM 点の 2.5V を V_{DDQ} に直接接続すればよいでしょう。こうすると内部リファレンス電圧は、電源配線での電圧降下の影響を受けずに、DDR メモリ部の電源電圧に正確に追従します。SSTL-2 アプリケーションで V_{DDQ} は 2.5V なので、ターミネーション電圧 V_{TT} として 1.25V が生成されます。(温度に対する V_{TT} の変化範囲の正確な値は「電気的特性」の表を参照してください)。

V_{SENSE}

本センス端子の目的は、遠端の負荷レギュレーションの改善にあります。多くのマザーボードでは、V_{TT} は長い配線を通してターミネーション抵抗に接続されます。このとき LP2996 の出力点で電圧のセンスを行うと、長い配線によって起こる大きな電圧降下により、バス端のターミネーション電圧はバスの他点より低くなってしまいう問題が生じます。そこでバスの中点付近の電圧を V_{SENSE} 端子に与え、バス遠端で電圧が低下する問題を改善するようにしてください。この方法によりバス全体の電圧が良好に保たれます。遠端での負荷レギュレーションを行わない場合は、V_{SENSE} 端子には V_{TT} を与えなければなりません。V_{SENSE} 信号の配線をメモリに近接して実装する際は注意が必要です。V_{SENSE} 配線にノイズが重畳すると V_{TT} の正確なレギュレーションに影響を与える場合があります。V_{SENSE} 端子の近くに 0.1 μF セラミック・コンデンサを設けると、高周波数信号がフィルタされるので、誤動作を防げます。

シャットダウン

LP2996 は、V_{TT} 出力を TRI-STATE にするアクティブ LOW のシャットダウン端子を備えています。シャットダウン中は V_{TT} に AV_{IN} を超える電圧を与えてはなりません。シャットダウン端子を LOW にした場合、LP2996 の待機時消費電流は下がりますが、V_{DDQ} のインピーダンスは内部リファレンス電圧の生成のために 100k Ω で一定です。そのため、シャットダウン時の総電力損失の計算では、両方の電流(待機時消費電流と V_{DDQ} を流れる電流)を考慮する必要があります。詳細は「放熱」の項を参照してください。シャットダウン端子は内部でプルアップされているため、デバイスをターンオンする場合はシャットダウン端子を AV_{IN} に接続するか開放にします。

V_{REF}

V_{REF} は内部リファレンス電圧 V_{DDQ}/2 のバッファ出力です。本出力は、ソースブリッジ・チップセットとメモリに対するリファレンス電圧として使用します。通常それらの入力のインピーダンスは高いので、V_{REF} 端子を流れる電流はわずかです。ノイズ対策として端子近くにバイパス・コンデンサを設けると、レギュレーション性能が改善されます。推奨品は 0.1 μF から 0.01 μF のセラミック・コンデンサです。V_{REF} 出力は、Suspend-to-RAM 機能をサポートするため、シャットダウン時およびサーマル・シャットダウン時もアクティブ状態を維持します。

V_{TT}

V_{TT} はバスのターミネーション抵抗に与えられるレギュレート電圧出力です。V_{DDQ}/2 電圧に高い精度で追従し、併せて電流ソースと電流シンクの能力を備えています。LP2996 は、高速応答によって最大 ±3A までのピーク電流変動に対応できるように設計されています。最大連続電流は V_{IN} の関数で、「代表的な性能特性」に記載されています。最大連続電流定格を超える変動が長時間にわたり見込まれるのであれば、出力コンデンサ容量を十分大きくして過度の電圧低下の発生を防いでください。LP2996 は出力電流の大きな変動にも耐え得るように設計されていますが、すべての条件のもとで、そのような状況に長時間対応するのは困難です。その理由は、小型の標準パッケージを採用しているため、過大な内部電力損失によって生じる熱を逃がせないためです。長時間にわたり大電流が求められる場合は、最大接合部温度を超えないように注意が必要です。熱に応じて、使用定格を適切に下げようとしてください(「放熱」を参照)。接合部温度がサーマル・シャットダウン・ポイントを超えると、ヒステリシスを持つトリップ・ポイント温度を下回るまで、V_{TT} は TRI-STATE になります。

部品の選択

入力コンデンサ

LP2996 は、入力安定化を目的とする入力コンデンサは必要ではありません。ただし大きな負荷変動時に入力電圧の低下を防ぐために、入力コンデンサの使用を推奨します。入力コンデンサは、可能な限り PV_{IN} の近くに配置します。アプリケーションの要件によって推奨条件が異なります。アルミ電解コンデンサを用いた場合、推奨容量は 50 μF です。セラミック・コンデンサを用いる場合は、容量は 10 μF 前後とし、誘電体の温度特性が X5R 以上のコンデンサが理想的といえます。なお、LP2996 が 2.5V DC-DC コンバータの出力コンデンサの近くにレイアウトされている場合は、入力コンデンサを省略しても構いません。2 系統の電源レール(AV_{IN} と PV_{IN})を使用する場合、PV_{IN} 端子の可能な限り近くに 47 μF コンデンサを配置してください。また、デバイスに過度のノイズがカップリングしないよう、AV_{IN} 端子に 0.1 μF セラミック・コンデンサを追加しても構いません。

部品の選択 (つづき)

出力コンデンサ

LP2996 は、出力コンデンサの容量および ESR (等価直列抵抗) に依存しないよう設計されています。そのため柔軟にコンデンサを選択できます。出力コンデンサは、アプリケーションと負荷変動に対する V_{TT} の応答要求に基づいて決めてください。DDR-SDRAM を用いた SSTL アプリケーションでは、100 μ F 以上の低 ESR コンデンサを一般的に推奨します。このうち ESR は、見込まれる最大電流スパイクと、許容される出力電圧低下から決定してください。入手可能なコンデンサ類のうち、代表的な品種について次に説明します。

AL - アルミ電解コンデンサは 120Hz におけるインピーダンスのみを規定している点に注意が必要で、これは高い周波数領域では特性が劣ることを示しています。LP2996 回路にアルミ電解コンデンサを適用できる条件は、20kHz ~ 100kHz の高い周波数領域でもインピーダンスが規定されている場合にに限られます。アルミ電解コンデンサを複数個並列に接続すると総 ESR を下げられます。ただし問題点は ESR が温度により変化することで、低温になると ESR が急激に増大します。

セラミック - セラミック・コンデンサは、一般的に容量は 10 μ F ~ 100 μ F と大きくありませんが、ESR が極めて小さい (通常 10m 以下) ため、優れたノイズ・バイパス特性を備えています。しかし使用している誘電体の種類によっては、電圧と温度に対して十分な特性を備えていないものも存在します。一般的に容量が小さいといった理由により、セラミック・コンデンサはアルミ電解コンデンサなどに並列接続しての使用を推奨します。また使用するすべてのセラミック・コンデンサには、誘電体の温度特性が X5R 以上の品種を推奨します。

化合物 - OS-CON (有機半導体) や SP (機能性高分子) のような化合物を用いたコンデンサが、数社からリリースされています。これらのコンデンサは低 ESR を維持しながら大きな容量を実現しています。他のコンデンサに比べてコストは高くなりますが、実装サイズと性能が重要な場合に最適なソリューションといえます。

放熱

LP2996 はリニア・レギュレータなので、熱の原因となる内部損失が V_{TT} 電流によって発生します。デバイスを損壊から守るには最大許容接合部温度を超えてはならないので、見込まれる最大周囲温度と消費電力にもつき、デバイスを定格以下で動作させるよう注意を払う必要があります。最大許容内部温度上昇 (T_{Rmax}) は、アプリケーションで与えられる最大周囲温度 (T_{Amax}) と、最大許容接合部温度 (T_{Jmax}) から求められます。

$$T_{Rmax} = T_{Jmax} - T_{Amax}$$

この式から、デバイスの最大消費電力 (P_{Dmax}) は次式で示されます。

$$P_{Dmax} = T_{Rmax} / \theta_{JA}$$

LP2996 の θ_{JA} は、使用しているパッケージ、プリント基板の銅箔厚み、ビアの数、エアフローで決まります。たとえば SO-8 パッケージを、標準的な 203 × 102mm、銅箔厚み 35 μ m の基板に実装し、エアフローなしの室温で 0.5W を消費させた場合の θ_{JA} は、163 $^{\circ}$ C/W です。また JEDEC スタンドアードの 76 × 102mm、70 μ m 厚銅箔の基板を用いると、 θ_{JA} は 151.2 $^{\circ}$ C/W に低下します。Figure 2 に上記 2 つの基板における、エアフローに対する θ_{JA} の変化を示します。

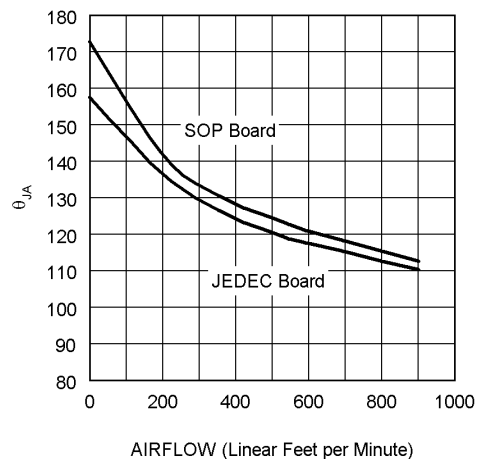


FIGURE 2. θ_{JA} vs Airflow (SO-8)

デバイスの実装とグラウンド内層に熱を放出するためにビアをうまく使用すると、さらなる改善が図れます。基板表面層に幅広かつ銅箔厚を厚くした配線を適用しても同じ効果が得られます。基板のレイアウト設計を注意深く行えば、Figure 2 に示される公称値より低い θ_{JA} になります。

LLP パッケージの出力電流を最大限に引き出す上で、基板レイアウトも極めて重要です。DAP 直下に単純にビアを打つだけでも、 θ_{JA} を大幅に低下できます。Figure 3 は、18 μ m/35 μ m/35 μ m/18 μ m の銅箔で構成される 4 層 JEDEC 基板に実装した場合の LLP パッケージの熱特性です。ビアを間隔 1.27mm にて最大 4 つに増やしたとき、50.41 $^{\circ}$ C/W の θ_{JA} が得られています。このグラフにおけるビアのメッキ厚は 36 μ m です。

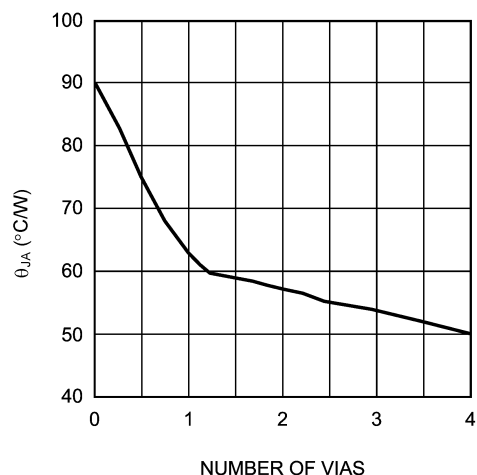


FIGURE 3. LLP-16 θ_{JA} vs # of Vias (4 Layer JEDEC Board))

パッケージに定常的なエアフローを与えても θ_{JA} は低下します。上記条件で 2 × 2 のビア配列を用いた場合、エアフローによる θ_{JA} の低下を Figure 4 に示します。

放熱 (つづき)

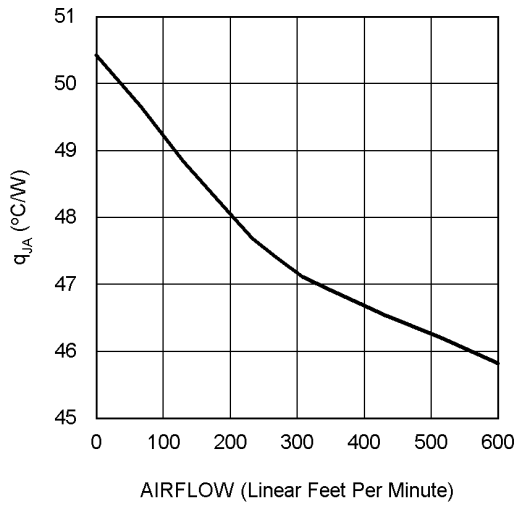


FIGURE 4. JA vs Airflow Speed (JEDEC Board with 4 Vias)

J_A の最適化を行い、あわせて周囲温度が低い基板領域に LP2996 を配置すれば、デバイスをより大きな消費電力で使用可能になります。内部消費電力は主に、シンクがソースに依らない V_{TT} の出力電流、 AV_{IN} の待機時消費電流、 V_{DDQ} の待機時消費電流といった 3 種類の損失の合計として求められます。シャッ

トダウンが LOW ではないアクティブ状態では、内部消費電力は次の式で算出されます。

$$P_D = P_{AVIN} + P_{VDDQ} + P_{VTT}$$

$$P_{AVIN} = I_{AVIN} \times V_{AVIN}$$

$$P_{VDDQ} = V_{VDDQ} \times I_{VDDQ} = (V_{VDDQ})^2 \div R_{VDDQ}$$

V_{TT} の最大消費電力を求める場合、電流がシンク時とソース時の両状態で V_{TT} を検討する必要があります。ただし V_{TT} はシンクとソースの両方の状態を同時に採り得ないため、合計ではどちらか 1 つの値のみを加算します。

$$P_{VTT} = V_{VTT} \times I_{LOAD} \text{ (シンク時)}$$

$$P_{VTT} = (V_{PVIN} - V_{VTT}) \times I_{LOAD} \text{ (ソース時)}$$

シャットダウン・ステートにある LP2996 の消費電力も計算可能です。 V_{TT} 出力は TRI-STATE となりシンク電流もソース電流も流れないため、電力計算において該当項は取り除いて考えます (漏れ電流は無視できる)。シャットダウン中は、低減されているものの AV_{IN} の待機時消費電流と、 V_{DDQ} 端子に現れる一定のインピーダンスにより、若干の損失が生じます。

$$P_D = P_{AVIN} + P_{VDDQ}$$

$$P_{AVIN} = I_{AVIN} \times V_{AVIN}$$

$$P_{VDDQ} = V_{VDDQ} \times I_{VDDQ} = (V_{VDDQ})^2 \div R_{VDDQ}$$

$$R_{VDDQ} = 50k + 50k$$

代表的なアプリケーション回路

LP2996 が構成上とり得るオプションを示すために、さまざまなアプリケーション回路を Figure 5 ~ 14 に示します。個々の回路の性能は、このデータシートの前半にある「代表的な性能特性」のグラフに、 AV_{IN} と PV_{IN} の電圧によって最大出力電流がどのように影響を受けるかが示されています。

SSTL-2 アプリケーション

SSTL-2 ターミネーション方式の実装をするアプリケーションでは、すべての入力レールを 2.5V レールに接続することを推奨します。消費電力、部品点数、部品選択のトレードオフで最適となるからです。回路例を Figure 5 に示します。

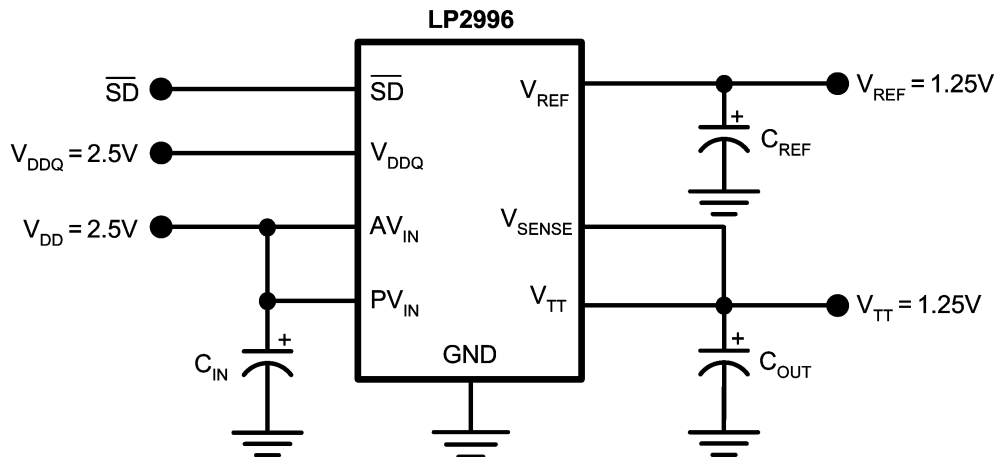


FIGURE 5. Recommended SSTL-2 Implementation

消費電力または効率が設計上の大きな課題となっている場合は、LP2996 を分割電源で動作させます。出力段 (PV_{IN}) は 1.8V 程度の低電圧で動作させ、アナログ回路 (AV_{IN}) には 2.5V、3.3V、または 5V といった高電圧を与えます。このようにすると、 V_{TT} から電流が供給されたときでも内部消費電力を小さくできます。この

回路の問題点は低電圧動作により最大連続電流が小さくなることです。SSTL-2 アプリケーションのあらゆるマザーボードでは充分です。出力コンデンサを大きくすると、大きな負荷電流遷移に対応できる時間を長くできます。

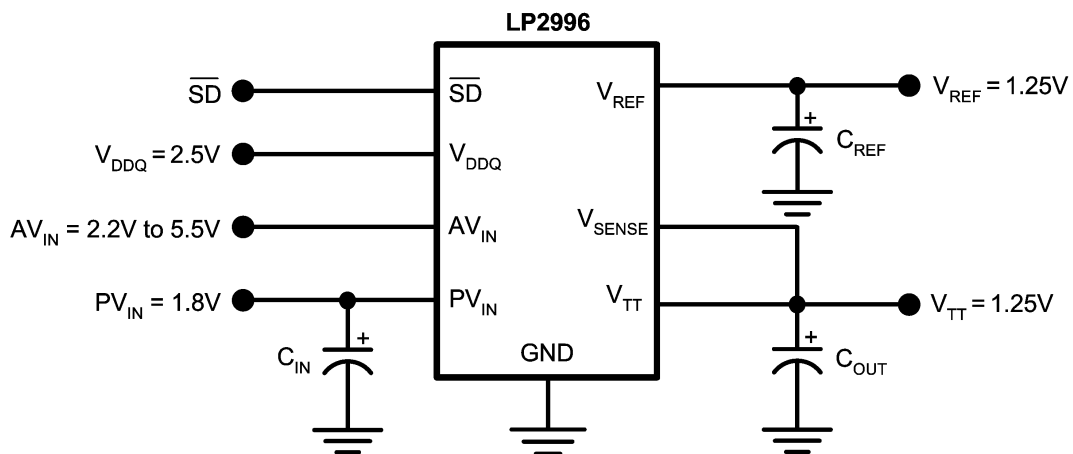


FIGURE 6. Lower Power Dissipation SSTL-2 Implementation

SSTL-2 アプリケーションの第 3 のオプションは、1.8V 電源レールがなく、かつ 2.5V を使用するのが望ましくない状態で、LP2996 の PV_{IN} を 3.3V レールに接続した場合です。 AV_{IN} は PV_{IN} より低くはできないため、この場合 AV_{IN} は、3.3V または 5V レールに限られます。この構成では放熱が大きくなる反面、最大連続出

力電流が得られます。LP2996 が接合部温度を最大定格を超えてしまう大電流レベルの状況にならないように注意が必要です。このようなリスクがあるため、出力段に公称 3.3V より高い電圧を与えることは推奨されません。

代表的なアプリケーション回路 (つづき)

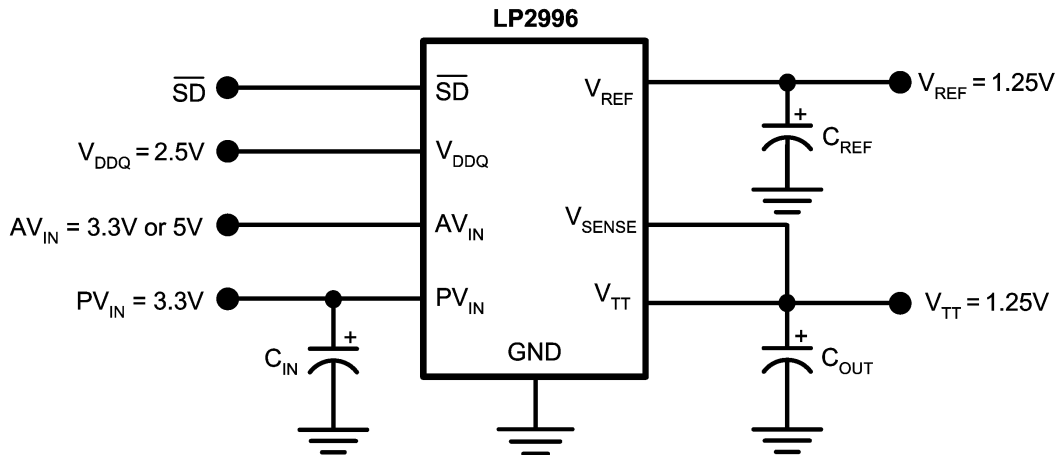


FIGURE 7. SSDL-2 Implementation with higher voltage rails

DDR-II アプリケーション

V_{DDQ} 端子と内部抵抗分圧回路は他の回路と切り離されていますので、LP2996 を DDR-II メモリ・アプリケーションに適用することも可能です。Figure 8、9 は推奨回路の実装例です。出力特性

は「代表的な性能特性」のグラフに示されています。Figure 8 は DDR-II アプリケーションの推奨回路構成です。出力段を 1.8V レールに接続し、 AV_{IN} 端子を 3.3V または 5V レールに接続します。

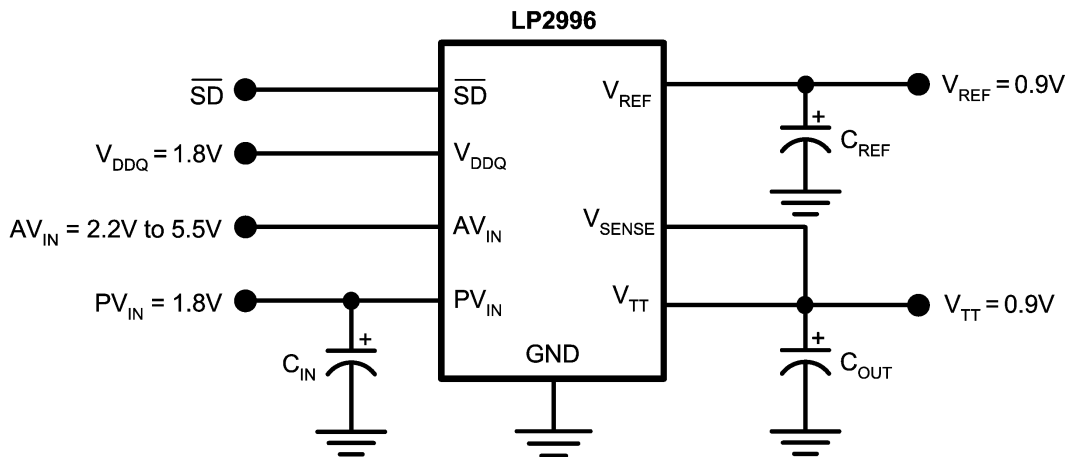


FIGURE 8. Recommended DDR-II Termination

1.8V レールを出力段に使用できない場合は、3.3V レールを接続する案も考えられます。 V_{TT} 出力電圧が低い場合、熱損失の増大によって最大接合部温度を超えないように注意が必要です。そ

のため、 PV_{IN} に公称 3.3V 以上の電圧レールを与えるのは推奨されません。この構成の利点は、ソースとシンクで、最大連続電流を大きくできることです。

代表的なアプリケーション回路 (つづき)

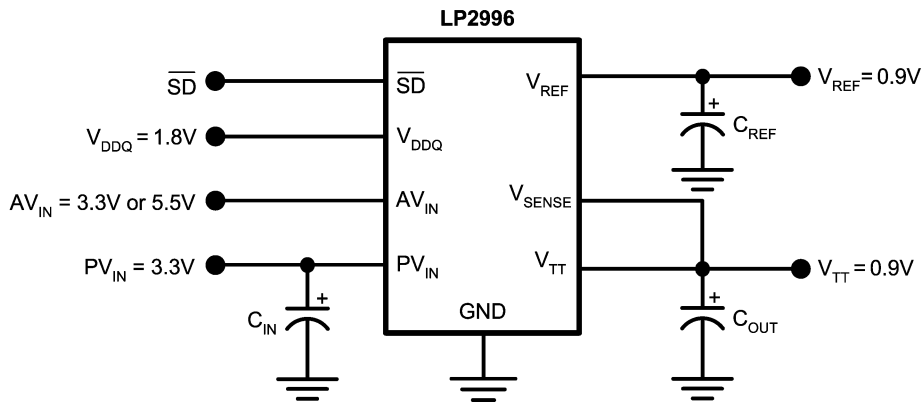


FIGURE 9. DDR-II Termination with higher voltage rails

レベル・シフト

SSTL-3 など、SSTL-2 以外のスタンダードに適用するために、 V_{DDQ} に対して 0.5 倍以外の係数で出力電圧のレギュレーションを行いたい場合があります。係数を変えて任意の電圧を得るにはいくつかの方法があります。その 1 つは、 V_{TT} から V_{SENSE} 端子に帰還抵抗を追加して、出力のレベル・シフトを行う方法です。

この方法を用いた回路を Figure 10、11 に示します。Figure 10 は、2 個の追加抵抗を使って、内部リファレンス電圧 $V_{DDQ}/2$ よりも高い電圧にレベル・シフトする回路です。 V_{TT} の正確な電圧は次の式から求められます。

$$V_{TT} = V_{DDQ}/2 (1 + R1/R2)$$

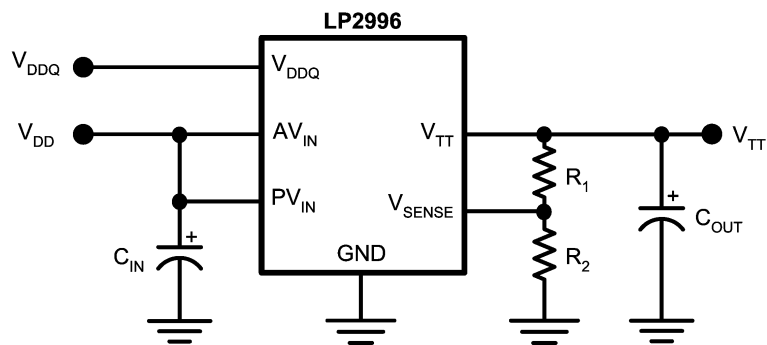


FIGURE 10. Increasing V_{TT} by Level Shifting

逆に、抵抗 $R2$ を V_{SENSE} と V_{DDQ} の間に置けば、 V_{TT} 出力を内部リファレンス電圧 $V_{DDQ}/2$ よりも低くできます。 V_{TT} と抵抗の関係は次の式で表されます。

$$V_{TT} = V_{DDQ}/2 (1 - R1/R2)$$

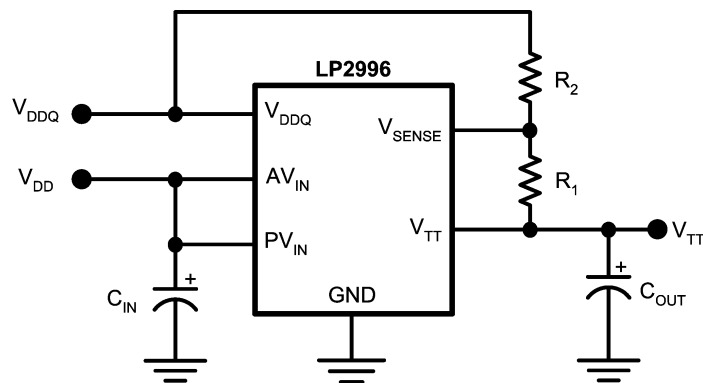


FIGURE 11. Decreasing V_{TT} by Level Shifting

代表的なアプリケーション回路 (つづき)

HSTL アプリケーション

LP2996 は、 V_{DDQ} に 1.5V レールを接続するだけで、簡単に HSTL アプリケーションに適用できます。ターミネーション抵抗に与えられる V_{TT} と V_{REF} 電圧はおよそ 0.75V になります。最適な性能を得るために AV_{IN} と PV_{IN} は 2.5V レールに接続してください。

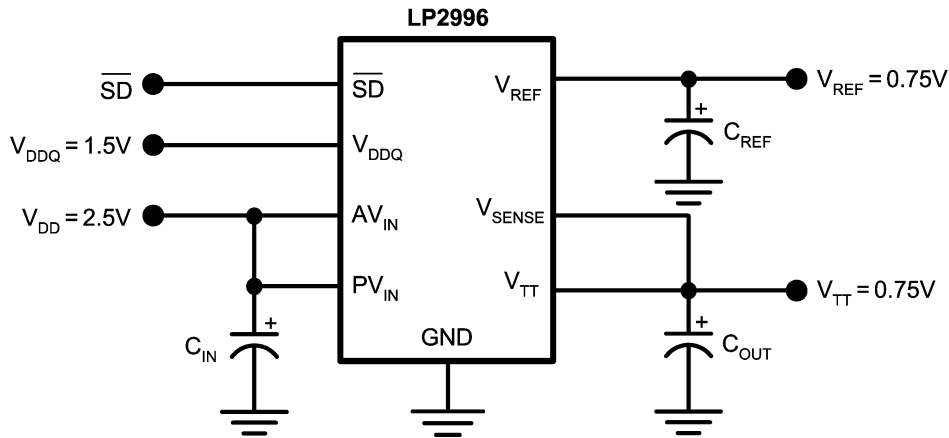


FIGURE 12. HSTL Application

QDR アプリケーション

クワッド・データ・レート (QDR) アプリケーションは高いメモリ性能を得るために複数のチャネルを使用します。そのためバス信号線数が増え、ターミネーションに必要な電流レベルも大きくなります。そこでターミネーションでは、複数チャネルの各チャネルごとに個別の LP2996 を使用することを推奨します。基板レイアウトを単純化でき、各レギュレータの内部消費電力も抑えられます。各レギュレータから出力される個々の V_{REF} 信号を各 DIMM バンクに与えます。チップセット用のリファレンス電圧は、局所的に抵抗分圧を

行うか、LP2996 のうちの 1 つから与えます。 V_{REF} は V_{TT} に追従することが見込まれ、またデバイス間のばらつきは小さいため、各 LP2996 のリファレンス電圧の差はわずかです。

出力コンデンサの選択

LP2996 を SSTL-2 I/O 信号のターミネーション用に使用したアプリケーションでは、Figure 13 に示す代表的アプリケーション回路を適用可能です。

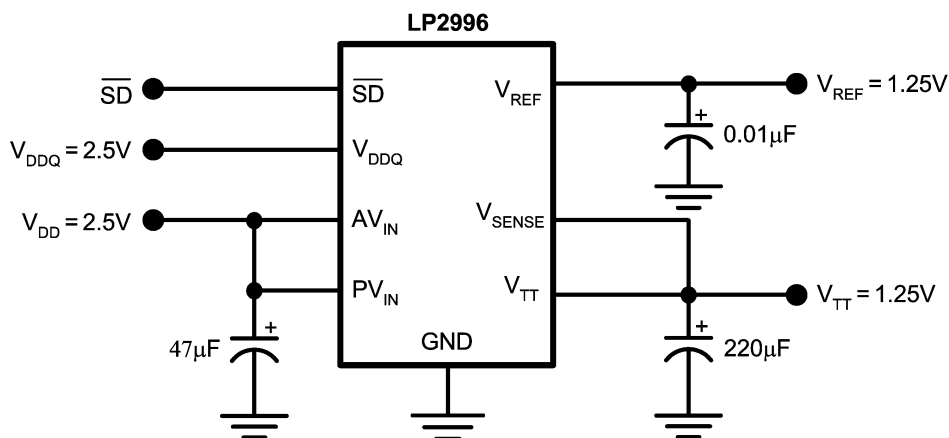


FIGURE 13. Typical SSTL-2 Application Circuit

この回路は、最小の基板面積と最小の部品点数でターミネーション回路を実現しています。選択すべきコンデンサの容量は、ターミネーションする信号線数と最大負荷電流に依存して異なりますが、 V_{TT} が長い配線で分配されているマザーボードやアプリケーションでは、複数のバルク・コンデンサを使用し、さらに高周波デ

カップリング・コンデンサを追加することが望まれます。次の Figure 14 に、2 個のバルク出力コンデンサを、最適な位置である V_{TT} 層の両端に配置した回路例を示します。ESR が小さくかつコストが低い大容量アルミ電解コンデンサを使用しています。

代表的なアプリケーション回路 (つづき)

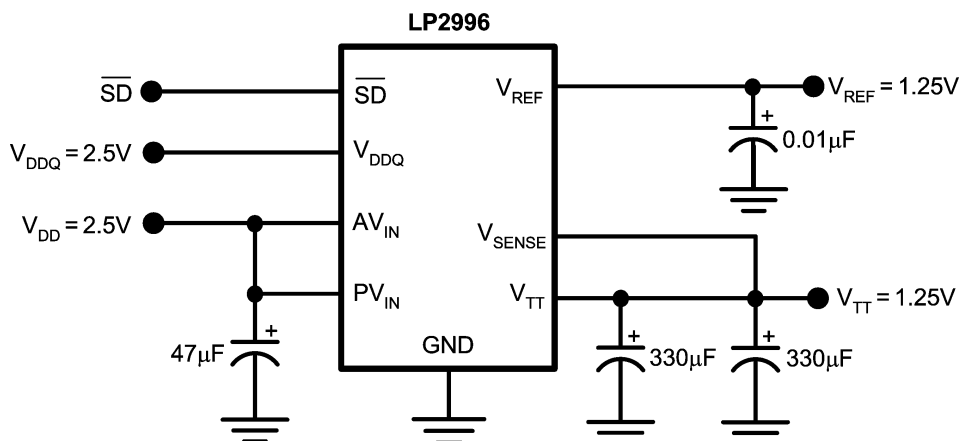


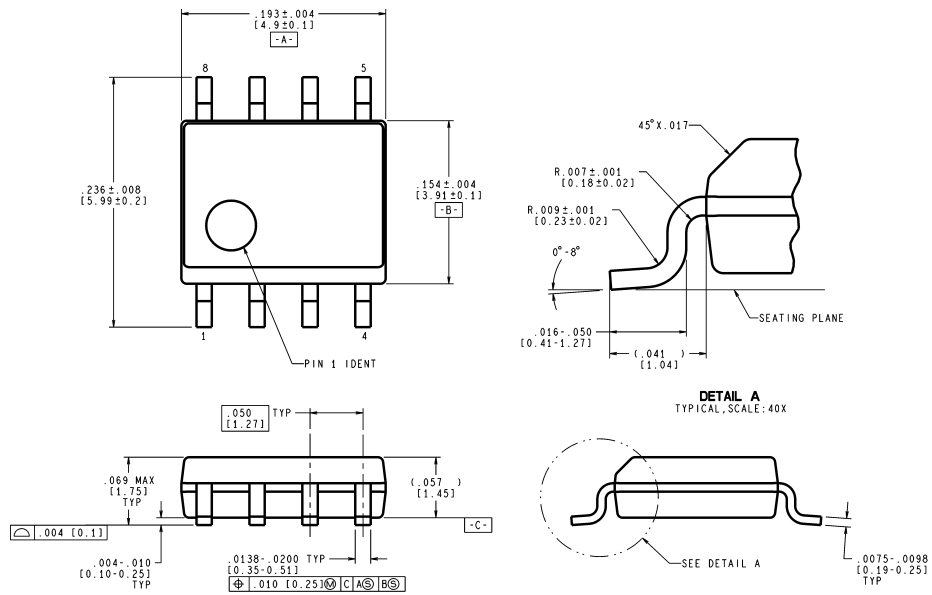
FIGURE 14. Typical SSTL-2 Application Circuit for Motherboards

一般の PC アプリケーションでは、モジュールに実装された DDR-SDRAM DIMM によって長いインターコネクトが生じるため、多数のデカップリングが必要です。そのため、通常 1000 μ F の容量範囲のアルミ電解コンデンサをバULK・コンデンサとして使用します。

PCB 設計に関する考慮

1. パワー・レールの入力コンデンサは、可能な限り PV_{IN} 端子の近くに配置してください。
2. V_{SENSE} 端子には、 V_{TT} ターミネーションされるバスのレギュレーションが必要な点に接続してください。マザーボード・アプリケーションではターミネーション・バスの中点が理想的です。
3. V_{DDQ} 入力、DIMM またはチップセットの V_{DDQ} 電源に対してリモート・センスとなるように接続します。内部リファレンス電圧を最も精度高く生成できるようになります。
4. 熱特性を改善するには、パッケージからの放熱量を増やすために表面層の銅箔を大きくしてください。グラウンド配線と内部グラウンド・プレーンを接続する多数のピアも放熱を助けます。さらに、製造基準として許容されるのであれば、ピアはパッケージ下部にも配置してください。
5. V_{SENSE} 信号の配線設計では、スイッチングする I/O 信号からノイズを拾わないように注意が必要です。 V_{SENSE} 端子の近くに 0.1 μ F セラミック・コンデンサを置くと、好ましくない高周波信号をフィルタリングできます。 V_{SENSE} 配線が長い場合、とくに検討を要します。
6. V_{REF} にはレギュレーション性能の改善のため、0.1 μ F ~ 0.01 μ F のセラミック・コンデンサを接続してノイズをバイパスしてください。コンデンサは V_{REF} 端子の可能な限り近くに配置してください。

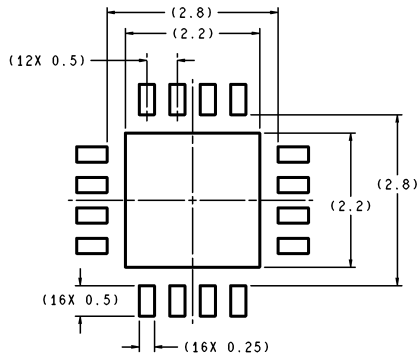
外形寸法図 特記のない限り inches (millimeters)



CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS

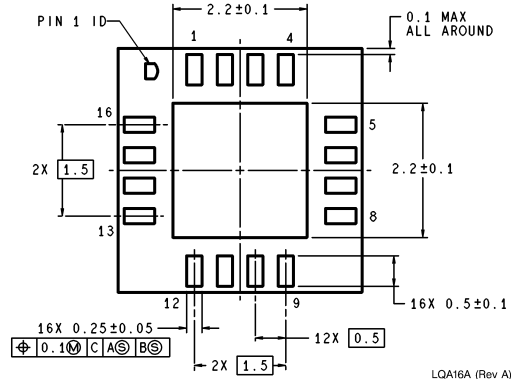
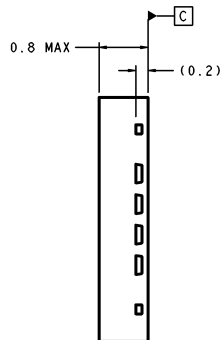
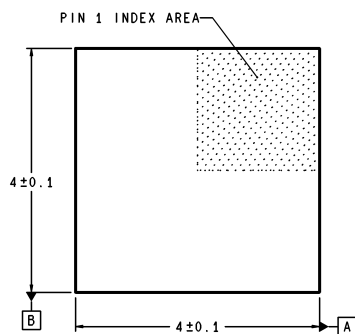
M08A (Rev J)

8-Lead Small Outline Package (M8)
NS Package Number M08A



DIMENSIONS ARE IN MILLIMETERS

RECOMMENDED LAND PATTERN
1:1 RATION WITH PKG SOLDER PADS

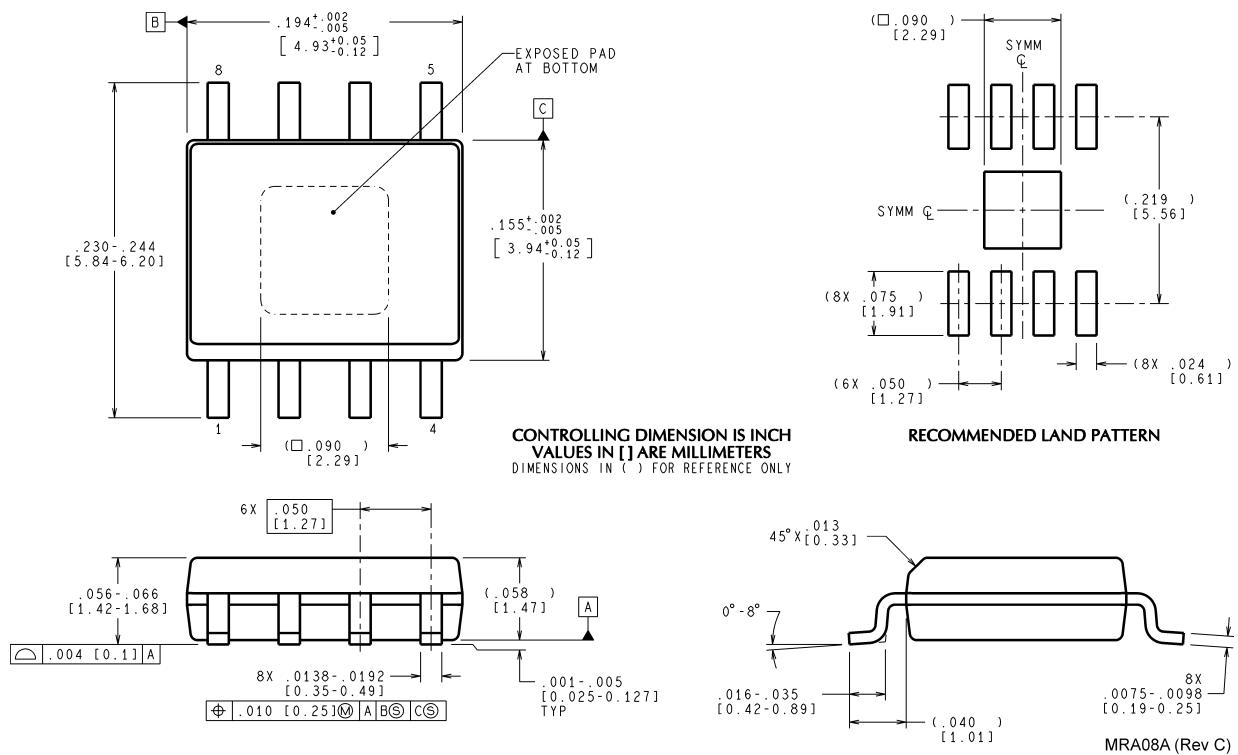


LQA16A (Rev A)

16-Lead LLP Package (LD)
NS Package Number LQA16A

単位は millimeters

外形寸法図 特記のない限り inches (millimeters)



8-Lead PSOP Package (PSOP-8)
NS Package Number MRA08A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

その他のお問い合わせはフリーダイヤルをご利用下さい。

www.national.com/jpn/



0120-666-116