

LC36256-10/12 LC36256L-10/12

非同期型シリコンゲートCMOS LSI
32768ワード×8ビット
CMOSスタティックRAM

■ 製品規格

概要

LC36256/LC36256Lは32768ワード×8ビット構成の非同期型シリコンゲートCMOSスタティックRAMである。周辺回路にCMOSを使用して消費電流を下げ、メモセルに2層Poly-Si技術を使用してチップの縮小を図っている。

コントロール信号入力に高速メモリアクセス用のOEとパワーダウンおよびデバイス選択用のチップイネーブルOEを有している。このため、高速、ローパワー、バッテリーバックアップを必要とするシステムに最適であり、メモリ容量の拡張も容易である。

特長

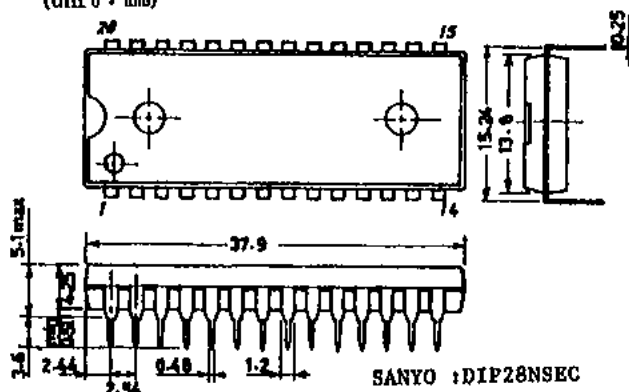
- アクセスタイム
100ns(max) : LC36256-10/L-10
120ns(max) : LC36256-12/L-12
- 低消費電流
スタンバイ時
100μA(max) : LC36256L-10/12
1mA(max) : LC36256-10/12
動作時
15mA(max) (f=1MHz時)
- 5V単一電源 : 5V±10%
- データ保持電源電圧 : 2.0~5.5V
- クロック不要(完全スタティック回路)
- 全入出力レベルTTLコンパチブル
- 入出力共通ピン、出力3ステート
- DIP28ピン プラスチックパッケージ

この資料の適用回路および回路定数は一例を示すもので、厳密セットとしての設計を保証するものではありません。

またこの資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたってはお客様の工業所有権その他の権利の実施に対する保証を行なうものではありません。

The application circuit diagrams and circuit constants herein are included as an example and provide no guarantee for designing equipment to be mass-produced. The information herein is believed to be accurate and reliable. However, no responsibility is assumed by SANYO for its use, nor for any infringements of patents or other rights of third parties which may result from its use.

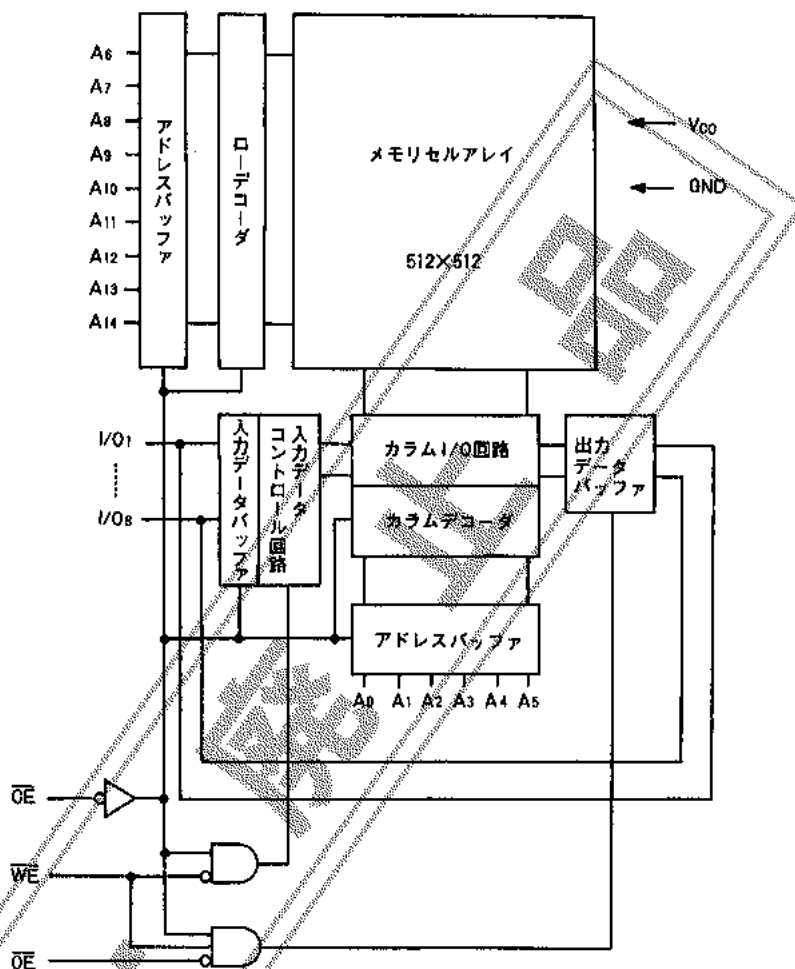
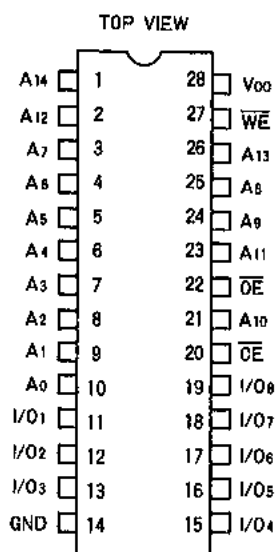
外形図 3081-D28NSE0
(unit : mm)



※これらの仕様は、改良などのため変更することがあります。

■ピン配置

■ブロック図



A₀~A₁₄ : アドレス入力
 WE : リード/ライト制御入力
 OE : アウトプットイネーブル入力
 OE : チップイネーブル入力
 I/O₁~I/O₈ : データ入出力
 Vcc, GND : 電源端子

■機能表

モード	OE	OE	WE	I/O	電源電流
リードサイクル	L	L	H	データ出力	ICCA
ライトサイクル	L	X	L	データ入力	ICCA
出力ディズエーブル	L	H	H	高インピーダンス	ICCA
非選択	H	X	X	高インピーダンス	ICCS

X : H or L

■ 絶対最大定格

項 目	記 号	条 件	定 格 値	unit
最大電源電圧	V _{CC} max		+7.0	V
入力端子電圧	V _{IN}		-0.5~V _{CC} +0.5	V
I/O端子電圧	V _{I/O}		-0.5~V _{CC} +0.5	V
許容消費電力	P _d max	T _a =+70℃	1.0	W
動作周囲温度	T _{opg}		0~+70	℃
保存周囲温度	T _{stg}		-55~+150	℃

■ DC許容動作範囲 / T_a = 0~+70℃

項 目	記 号	min	typ	max	unit
電源電圧	V _{CC}	4.5	5.0	5.5	V
入力「H」レベル電圧	V _{IH}	2.2		V _{CC} +0.3	V
入力「L」レベル電圧	V _{IL}	-0.3		0.8	V

■ DC電気的特性 / T_a = 0~+70℃, V_{CC} = 5 V ± 10%

項 目	記 号	条 件	min	typ*	max	unit
入力リーク電流	I _{LI}	V _{IN} = 0~V _{CC}	-1.0		1.0	μA
I/Oリーク電流	I _{LO}	V _{CE} = V _{IH} or V _{OE} = V _{IH} or V _{WE} = V _{IL} , V _{I/O} = 0~V _{CC}	-1.0		1.0	μA
出力「H」レベル電圧	V _{OH}	I _{OH} = -1.0mA	2.4			V
出力「L」レベル電圧	V _{OL}	I _{OL} = 2.1mA			0.4	V
動作時電源電流 (DC)	I _{CCA1}	V _{CE} ≤ 0.2V, I _{I/O} = 0 mA, V _{IN} ≤ 0.2V or V _{IN} ≥ V _{CC} - 0.2V		0.02	1	mA
		V _{WE} ≥ V _{CC} - 0.2V V _{WE} ≤ 0.2V			15	mA
	I _{CCA2}	V _{CE} = V _{IL} , I _{I/O} = 0 mA, V _{IN} = V _{IH} or V _{IL}			15	mA
平均動作時電源電流	I _{CCA3}	V _{CE} = V _{IL} , I _{I/O} = 0 mA, min cycle		25	60	mA
		V _{CE} ≤ 0.2V, I _{I/O} = 0 mA, f = 1 MHz, V _{IN} ≤ 0.2V or V _{IN} ≥ V _{CC} - 0.2V			15	mA
スタンバイ時 電源電流	I _{CCS1}	V _{CE} ≥ V _{CC} - 0.2V, V _{IN} = 0~V _{CC}		2	100	μA
		LC36256L-10/12			1	mA
	I _{CCS2}	V _{CE} = V _{IH} , V _{IN} = 0~V _{CC}			3	mA

* V_{CC} = 5 V, T_a = +25℃における参考値■ 入出力容量 / T_a = +25℃, f = 1 MHz

項 目	記 号	条 件	min	typ	max	unit
入出力容量	C _{I/O}	V _{I/O} = 0 V			10	pF
入力容量	C _{IN}	V _{IN} = 0 V			5	pF

注1 この特性は抜き取り検査によるものである。

■ AC電気的特性 / T_a = 0~+70℃, V_{CC} = 5 V ± 10%

ACテスト条件

入力パルス電圧レベル	0.6V, 2.4V
入力立ち上り・立ち下り時間	5 ns
入力・出力タイミングレベル	入力: V _{IL} = 0.8V, V _{IH} = 2.2V 出力: V _{OL} = 0.8V, V _{OH} = 2.2V
出力負荷	1 TTLゲート + C _L = 100pF (治具容量を含む)

リードサイクル

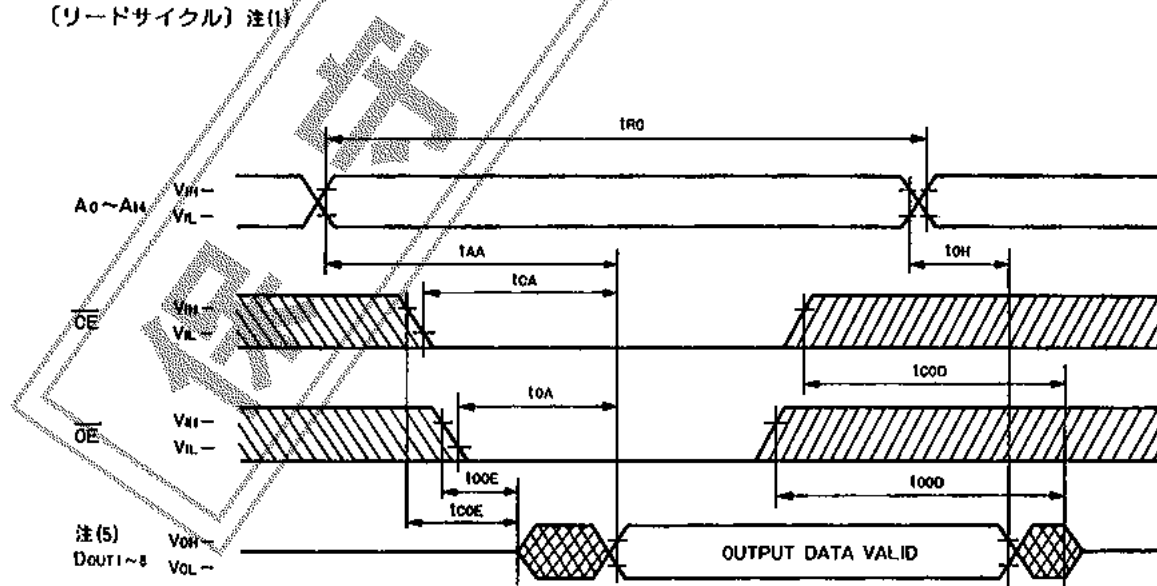
項 目	記 号	LC36256-10 LC36256L-10		LC36256-12 LC36256L-12		unit
		min	max	min	max	
リードサイクル時間	t _{RC}	100		120		ns
アドレスアクセス時間	t _{AA}		100		120	ns
\overline{CE} アクセス時間	t _{CA}		100		120	ns
\overline{OE} アクセス時間	t _{OA}		50		60	ns
出力ホールド時間	t _{OH}	10		10		ns
\overline{CE} —出力イネーブル時間	t _{COE}	10		10		ns
\overline{OE} —出力イネーブル時間	t _{OOE}	5		5		ns
\overline{CE} —出力ディスエーブル時間	t _{COD}		35		40	ns
\overline{OE} —出力ディスエーブル時間	t _{OOD}		35		40	ns

ライトサイクル

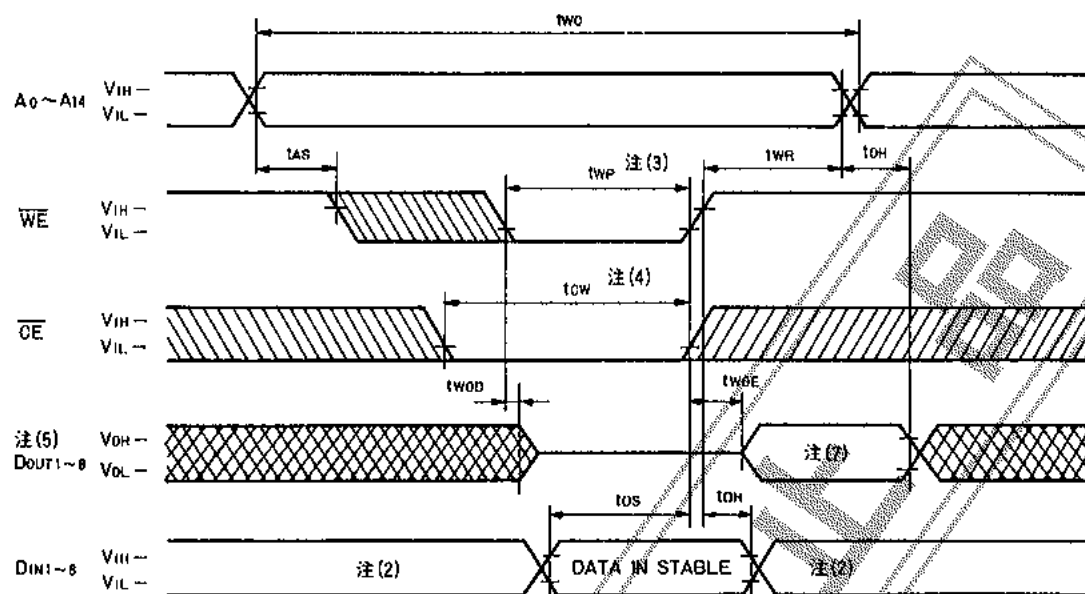
項 目	記 号	LC36256-10 LC36256L-10		LC36256-12 LC36256L-12		unit
		min	max	min	max	
ライトサイクル時間	t _{WC}	100		120		ns
アドレスセットアップ時間	t _{AS}	0		0		ns
ライトパルス幅	t _{WP}	70		80		ns
\overline{CE} セットアップ時間	t _{CW}	80		90		ns
ライトリカバリー時間	t _{WR}	0		0		ns
データセットアップ時間	t _{DS}	40		50		ns
データホールド時間	t _{DH}	0		0		ns
\overline{WE} —出力イネーブル時間	t _{WOE}	10		10		ns
\overline{WE} —出力ディスエーブル時間	t _{WOD}		35		40	ns

タイミング図

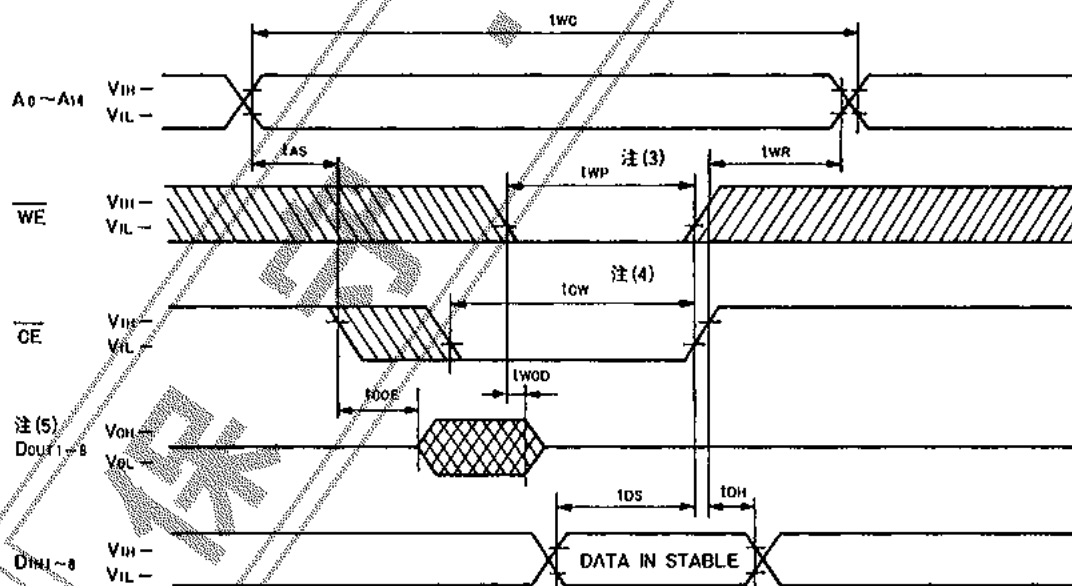
(リードサイクル) 注(1)



〔ライトサイクル1〕 (\overline{WE} 書き込み) 注(6)



〔ライトサイクル2〕 (\overline{OE} 書き込み) 注(6)



注) (1)リードサイクル中、 \overline{WE} は高レベルにしておく。

(2)DOUTが出力状態にあるとき外部から逆位相の信号を印加してはならない。

(3) t_{wp} は \overline{CE} , \overline{WE} が共に低レベルの期間であり、 \overline{WE} の立ち下がりから、 \overline{CE} , \overline{WE} の立ち上がりのいずれか早い方までの時間で、定義される。

(4) t_{cw} は、 \overline{CE} , \overline{WE} が共に低レベルの期間であり、 \overline{CE} の立ち下がりから、 \overline{CE} , \overline{WE} の立ち上がりのいずれか早い方までの時間で、定義される。

(5) \overline{OE} が高レベル、 \overline{CE} が高レベル、 \overline{WE} が低レベルのいずれの状態でもDOUTは高インピーダンス状態になる。

(6)ライトサイクル中、 \overline{OE} が高レベルの場合、DOUTは、高インピーダンス状態になる。

(7)DOUTはこのライトサイクルの書き込みデータと同位相である。

■ データ保持特性 / $T_a = 0 \sim +70^\circ\text{C}$

項 目	記 号	条 件	min	typ*	max	unit
データ保持電源電圧	VDR	$V_{CE} \geq V_{CC} - 0.2\text{V}$	2.0		5.5	V
データ保持電源電流	I _{CCDR}	$V_{CC} = 3.0\text{V}$, $V_{CE} \geq V_{CC} - 0.2\text{V}$		1.0	50	μA
					500	μA
チップイネーブルセットアップ時間	t _{CDR}		0			ns
チップイネーブルホールド時間	t _R		t _{RC} **			ns

* $T_a = +25^\circ\text{C}$ における参考値 **t_{RC}=リードサイクル時間

データ保持波形

