

SANYO**三洋半導体ニュース**

No. 5945

52298

新

**LC72321N
LC72322N
LC72323N**

CMOS LSI

— LCDドライバ内蔵

1チップPLL + コントローラ

LC72321N , 72322N , 72323Nは、150MHzまで動作するPLL , LCDドライバを内蔵した電子同調用シングルチップマイクロコントローラで大容量のプログラムROM , 効率の良いインストラクションセット , 強力なハードウェアが特長である。また、LC72321N , LC72322N , LC72323NはLC72321 , LC72322 , LC72323と同等の性能を持ちソフトウェアの互換性もある。

機能 ・ シリアルI/O (LC72321Nのみ内蔵)

・ 内蔵タイマ割込 : 80 μ s , 1ms , 2ms , 5ms

・ スタック : 8レベル

・ BEEPコントロール : 6種 (2.08 , 2.25 , 2.5 , 3.0 , 3.75 , 4.17kHz) (LC72321Nのみ内蔵)

・ 高速プログラマブルディバイダ

・ 汎用カウンタ HCTR : 周波数測定 LCTR : 周波数/周期測定

・ LCDドライバ56セグメント (1/2デューティ , 1/2バイアス)

・ プログラムメモリ (ROM) : 16ビット \times 4095 (8Kバイト) , LC72321N , LC72322N: 16ビット \times 3071 (6Kバイト) , LC72323N・ データメモリ (RAM) : 4ビット \times 256

・ 全一語命令

・ サイクルタイム : 2.67 μ s , 13.33 μ s , 40.00 μ s (オプション)・ アンロックFF : 0.55 μ s検出 , 1.1 μ s検出

・ タイマFF : 1ms , 5ms , 25ms , 125ms

・ 入力ポート

: キー入力専用 \times 1 , 高耐圧 \times 1

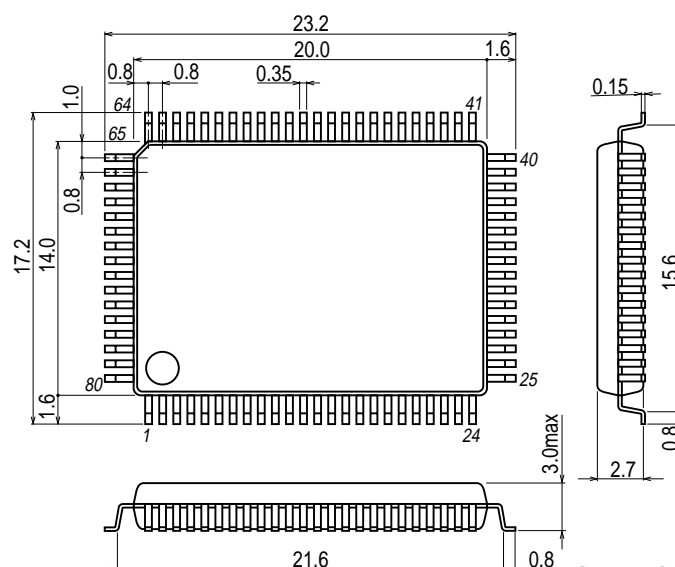
・ 出力ポート

: キー出力専用 \times 2 , 高耐圧オープンドレイン \times 1CMOS出力 \times 2 (内1ポートはLCDドライバと切換え)CMOS出力 \times 7 (LCDポートと切換え...オプション)

・ I/Oポート

: 4ビット単位I/O切換え \times 11ビット単位I/O切換え \times 11ポートは
4ビット構成

次ページへ続く。

外形図 3174
(unit:mm)

このLSIは、三洋電機のオリジナル・バス・フォーマットであるCCBにも容易に対応できます。

・ CCBは、登録商標です。

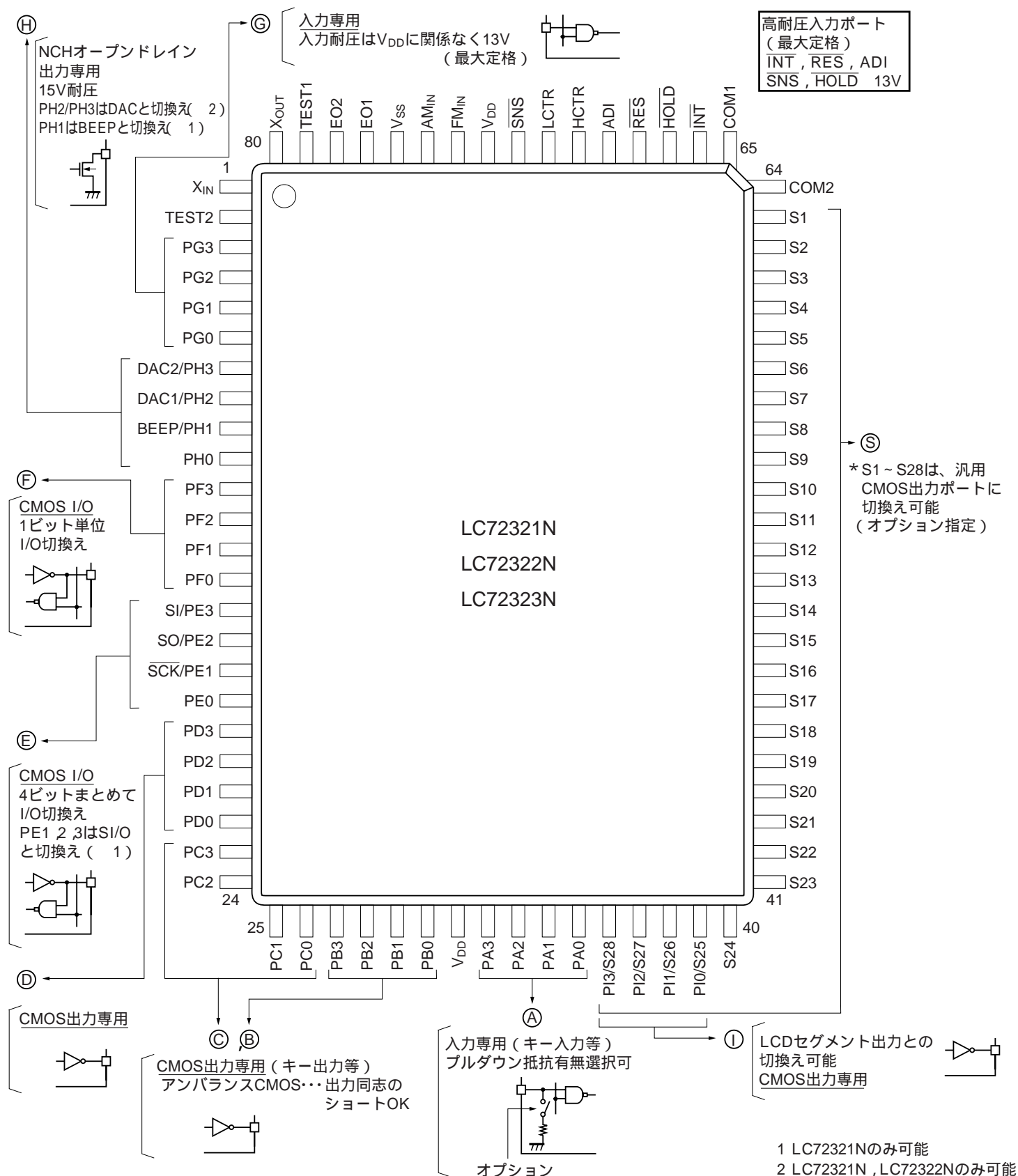
・ CCBは、三洋電機のオリジナル・バス・フォーマットであり、バスのアドレスは全て三洋電機が管理しています。

SANYO : QIP-80E

前ページから続く。

- ・プログラムの暴走を検出し特定アドレスにセット可能
- ・電圧検出型リセット回路
- ・6ビットADC×1
- ・8ビットDAC×2 (PWM) (LC72321N, 72322Nのみ内蔵)
- ・外部割込×1 (割込要因は、外部割込み/内部タイマ割込み/シリアルI/O (LC72321N)のいずれか1つを命令で選択)
- ・ホールドによるRAMバックアップ
- ・ホット/コールドスタート判定用センスFF
- ・PLL : 4.5 ~ 5.5V
- ・CPU : 3.5 ~ 5.5V
- ・RAM : 1.3 ~ 5.5V

ピン配置図





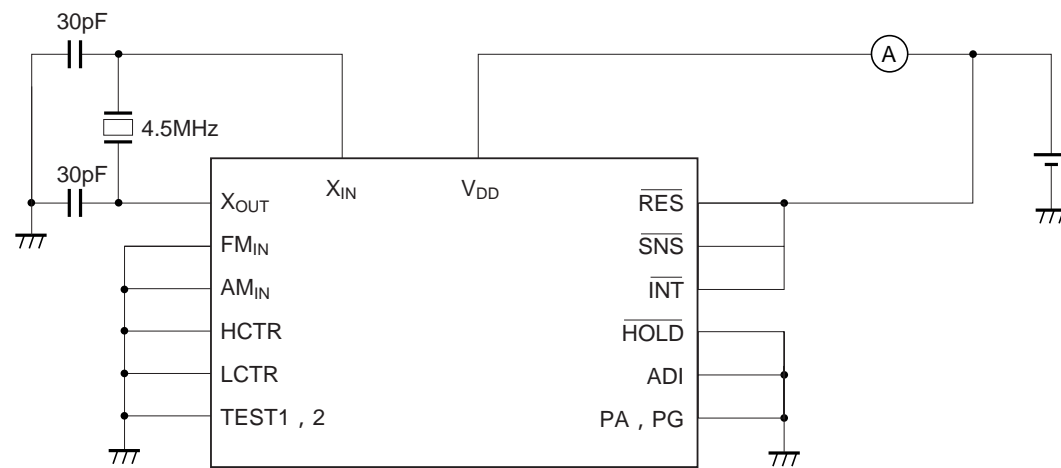
絶対最大定格 / Ta = 25 °C, V _{SS} = 0V				unit
最大電源電圧	V _{DD} max		- 0.3 ~ + 6.5	V
入力電圧	V _{IN1}	$\overline{\text{HOLD}}$, $\overline{\text{INT}}$, $\overline{\text{RES}}$, ADI, $\overline{\text{SNS}}$	- 0.3 ~ + 13	V
		Gポート		
	V _{IN2}	V _{IN1} 以外の入力	- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _{OUT1}	Hポート	- 0.3 ~ 15	V
	V _{OUT2}	V _{OUT1} 以外の出力	- 0.3 ~ V _{DD} + 0.3	V
出力電流	I _{OUT1}	D, Hポートの各端子	0 ~ 5	mA
	I _{OUT2}	E, Fポートの各端子	0 ~ 3	mA
	I _{OUT3}	B, Cポートの各端子	0 ~ 1	mA
	I _{OUT4}	S1 ~ S28, Iポート	0 ~ 1	mA
許容消費電力	P _d max	Ta = - 40 ~ + 85	300	mW
動作周囲温度	T _{opr}		- 40 ~ + 85	
保存周囲温度	T _{stg}		- 45 ~ + 125	

許容動作範囲 / Ta = - 40 ~ + 85 °C, V _{DD} = 3.5 ~ 5.5V			min	typ	max	unit
電源電圧	V _{DD1}	CPU, PLL動作	4.5		5.5	V
	V _{DD2}	CPU動作	3.5		5.5	V
	V _{DD3}	メモリ保持	1.3		5.5	V
入力「H」レベル電圧	V _{IH1}	Gポート	0.7V _{DD}		8.0	V
	V _{IH2}	$\overline{\text{RES}}$, $\overline{\text{INT}}$, $\overline{\text{HOLD}}$	0.8V _{DD}		8.0	V
	V _{IH3}	$\overline{\text{SNS}}$	2.5		8.0	V
	V _{IH4}	Aポート	0.6V _{DD}		V _{DD}	V
	V _{IH5}	E, Fポート	0.7V _{DD}		V _{DD}	V
	V _{IH6}	LCTR(周期測定), V _{DD1} , PE1, PE3	0.8V _{DD}		V _{DD}	V
入力「L」レベル電圧	V _{IL1}	Gポート	0		0.3V _{DD}	V
	V _{IL2}	$\overline{\text{RES}}$, $\overline{\text{INT}}$, PE1, PE3	0		0.2V _{DD}	V
	V _{IL3}	$\overline{\text{SNS}}$	0		1.3	V
	V _{IL4}	Aポート	0		0.2V _{DD}	V
	V _{IL5}	PE0, PE2, Fポート	0		0.3V _{DD}	V
	V _{IL6}	LCTR(周期測定), V _{DD1}	0		0.2V _{DD}	V
	V _{IL7}	$\overline{\text{HOLD}}$	0		0.4V _{DD}	V
入力周波数	f _{IN1}	XIN	4.0	4.5	5.0	MHz
	f _{IN2}	FMIN, V _{IN2} , V _{DD1}	10		130	MHz
	f _{IN3}	FMIN, V _{IN3} , V _{DD1}	10		150	MHz
	f _{IN4}	AMIN(L), V _{IN4} , V _{DD1}	0.5		10	MHz
	f _{IN5}	AMIN(H), V _{IN5} , V _{DD1}	2.0		40	MHz
	f _{IN6}	HCTR, V _{IN6} , V _{DD1}	0.4		12	MHz
	f _{IN7}	LCTR(周波数), V _{IN7} , V _{DD1}	100		500	kHz
	f _{IN8}	LCTR(周期), V _{IH6} , V _{IL6} , V _{DD1}	1		20 × 10 ³	Hz
入力振幅	V _{IN1}	XIN	0.50		1.5	V _{rms}
	V _{IN2}	FMIN	0.10		1.5	V _{rms}
	V _{IN3}	FMIN	0.15		1.5	V _{rms}
	V _{IN4, 5}	AMIN	0.10		1.5	V _{rms}
	V _{IN6, 7}	LCTR, HCTR	0.10		1.5	V _{rms}
入力電圧範囲	V _{IN8}	ADI	0		V _{DD}	V

電气的特性/許容動作範囲において

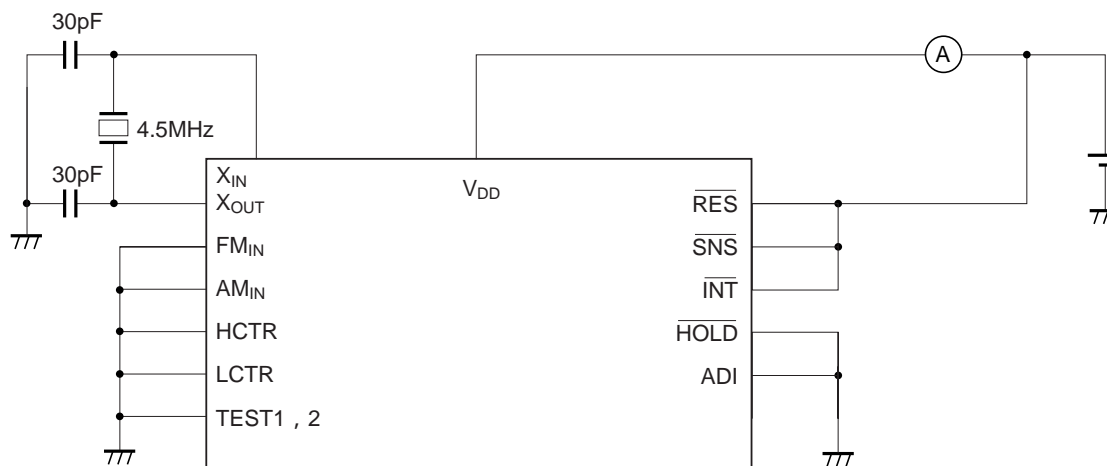
			min	typ	max	unit
ヒステリシス幅	V _H	LCTR(周期), $\overline{\text{RES}}$, $\overline{\text{INT}}$, PE1, PE3	0.1V _{DD}			V
リジェクトパルス幅	PREJ	$\overline{\text{SNS}}$			50	μs
パワーダウン検出電圧	V _{DET}		2.7	3.0	3.3	V
入力「H」レベル電流	I _{IH1}	$\overline{\text{INT}}$, $\overline{\text{HOLD}}$, $\overline{\text{RES}}$, ADI, $\overline{\text{SNS}}$, Gポート: V _I = 5.5V			3.0	μA
	I _{IH2}	A, E, Fポート: E, Fポートは出力オフ, AポートはR _{PD} 無, V _I = V _{DD}			3.0	μA
	I _{IH3}	XIN: V _I = V _{DD} = 5.0V	2.0	5.0	15	μA
	I _{IH4}	FMIN, AMIN, HCTR, LCTR: V _I = V _{DD} = 5.0V	4.0	10	30	μA
	I _{IH5}	Aポート: R _{PD} 有, V _I = V _{DD} = 5.0V		50		μA
入力「L」レベル電流	I _{IL1}	$\overline{\text{INT}}$, $\overline{\text{HOLD}}$, $\overline{\text{RES}}$, ADI, $\overline{\text{SNS}}$, Gポート: V _I = V _{SS}			3.0	μA
	I _{IL2}	A, E, Fポート: E, Fポートは 出力オフ, AポートはR _{PD} 無, V _I = V _{SS}			3.0	μA
	I _{IL3}	XIN: V _{IN} = V _{SS}	2.0	5.0	15	μA
	I _{IL4}	FMIN, AMIN, HCTR, LCTR: V _I = V _{SS}	4.0	10	30	μA
入力フローティング電圧	V _{IF}	Aポート: R _{PD} 有			0.05V _{DD}	V
プルダウン抵抗	R _{PD}	Aポート: R _{PD} 有, V _{DD} = 5.0V	75	100	200	k
出力「H」レベル オフリーク電流	I _{OFFH1}	EO1, EO2: V _O = V _{DD}		0.01	10	nA
	I _{OFFH2}	B, C, D, E, F, Iポート: V _O = V _{DD}			3.0	μA
	I _{OFFH3}	Hポート: V _O = 13V			5.0	μA
出力「L」レベル オフリーク電流	I _{OFFL1}	EO1, EO2: V _O = V _{SS}		0.01	10	nA
	I _{OFFL2}	B, C, D, E, F, Iポート: V _O = V _{SS}			3.0	μA
出力「H」レベル電圧	V _{OH1}	B, Cポート: I _O = 1mA	V _{DD} - 2.0	V _{DD} - 1.0	V _{DD} - 0.5	V
	V _{OH2}	E, Fポート: I _O = 1mA	V _{DD} - 1.0			V
	V _{OH3}	EO1, EO2: I _O = 500μA	V _{DD} - 1.0			V
	V _{OH4}	XOUT: I _O = 200μA	V _{DD} - 1.0			V
	V _{OH5}	S1 ~ S28, Iポート: I _O = -0.1mA	V _{DD} - 1.0			V
	V _{OH6}	Dポート: I _O = 5mA	V _{DD} - 1.0			V
	V _{OH7}	COM1, COM2: I _O = 25μA	V _{DD} - 0.75	V _{DD} - 0.5	V _{DD} - 0.3	V
	V _{OL1}	B, Cポート: I _O = 50μA	0.5	1.0	2.0	V
出力「L」レベル電圧	V _{OL2}	E, Fポート: I _O = 1mA			1.0	V
	V _{OL3}	EO1, EO2: I _O = 500μA			1.0	V
	V _{OL4}	XOUT: I _O = 200μA			1.0	V
	V _{OL5}	S1 ~ S28, Iポート: I _O = 0.1mA			1.0	V
	V _{OL6}	Dポート: I _O = 5mA			1.0	V
	V _{OL7}	COM1, COM2: I _O = 25μA	0.3	0.5	0.75	V
	V _{OL8}	Hポート: I _O = 5mA	(150)	(400)		V
			0.75		2.0	V
出力中間レベル電圧	V _{M1}	COM1, COM2: V _{DD} = 5.0V, I _O = 20μA	2.0	2.5	3.0	V
AD変換誤差		ADI: V _{DD1}	- 1/2		+ 1/2	LSB
電源電流	I _{DD1}	V _{DD1} , f _{IN2} = 130MHz		15	20	mA
	I _{DD2}	V _{DD2} , PLL停止, CT = 2.67μs (HOLD時 図1)		1.5		mA
	I _{DD3}	V _{DD2} , PLL停止, CT = 13.33μs (HOLD時 図1)		1.0		mA
	I _{DD4}	V _{DD2} , PLL停止, CT = 40.00μs (HOLD時 図1)		0.7		mA
	I _{DD5}	V _{DD} = 5.5V, OSC停止, Ta = 25 (BACK UP時 図2)			5	μA
		V _{DD} = 2.5V, OSC停止, Ta = 25 (BACK UP時 図2)			1	μA

測定回路図



注) PB ~ PF, PH, PIはすべてOPEN
ただしPE, PFは出力選択時

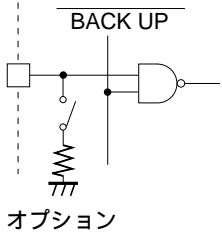
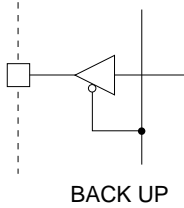
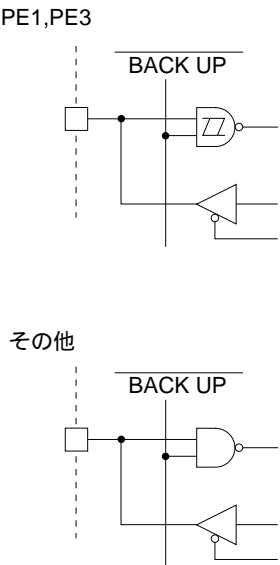
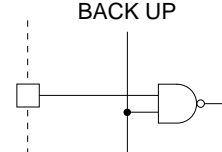
図1 HOLDモード時の $I_{DD2 \sim 4}$



注) PA ~ PI, S1 ~ S24, COM1, 2はすべてOPEN

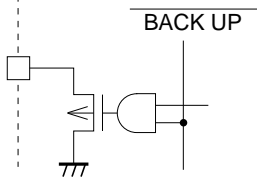
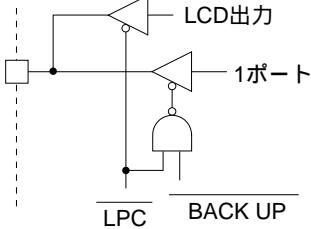
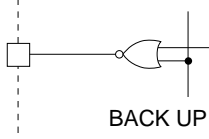
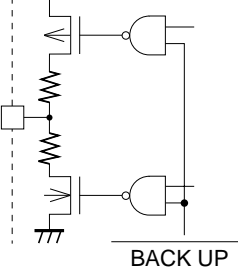
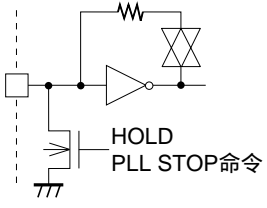
図2 BACK UPモード時の I_{DD5}

端子説明

端子名	端子番号	端子説明	I/O	入出力型式
PA0 PA1 PA2 PA3	35 34 33 32	入力専用で、低スレッシュホールドタイプである。 Keyデータ取込みなどに使える。 プルダウン抵抗がオプション指定できる。この指定は4本単位であり、1端子ごとの指定はできない。 BACK UPモード時は入力禁止となる。	入力	
PB0 PB1 PB2 PB3 PC0 PC1 PC2 PC3	30 29 28 27 26 25 24 23	出力専用ポートである。 出力トランジスタのインピーダンスがアンバランス形のCMOSであるため、Keyスキンのタイミング用に使用すると有効である。 BACK UPモード時は出力ハイインピーダンスとなる。 リセット ($\overline{\text{RES}} = \text{「L」}$) 時は、「L」レベルとなる。	出力	
PD0 PD1 PD2 PD3	22 21 20 19	出力専用ポートである。 通常のCMOS出力である。 BACK UPモード時は出力ハイインピーダンスとなる。 リセット ($\overline{\text{RES}} = \text{「L」}$) 時は、「L」レベルとなる。		
PE0 PE1/SCK PE2/SO PE3/SI	18 17 16 15	入出力ポートである。 入出力の切換え方法は、入力命令 (IN, TPT, TPF) を一度実行すると入力ポートに固定され、出力命令 (OUT, SPB, RPB) を一度実行すると出力ポートに固定される。なお、PE1, 2, 3はシリアルI/Oポートとして兼用している。リセット時は、入力ポートになる。 BACK UPモード時は、入力ポートとなり入力禁止となる。	入出力	
PF0 PF1 PF2 PF3	14 13 12 11	入出力ポートである。 入出力の切換え方法は、FPC命令で切換える。 このポートは、1端子ごとの入出力指定ができる。 リセット時は、入力ポートになる。 BACK UPモード時は、入力ポートとなり入力禁止となる。		
PG0 PG1 PG2 PG3	6 5 4 3	入力専用ポートである。 BACK UP時は、入力禁止となる。	入力	

次ページへ続く。

前ページから続く。

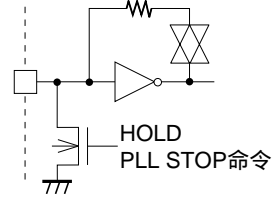
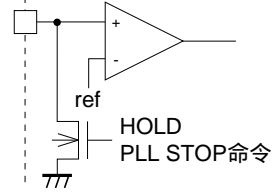
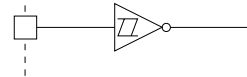
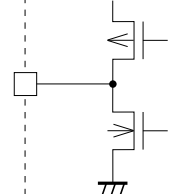
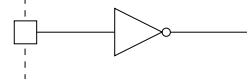
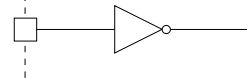
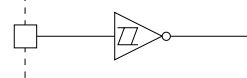
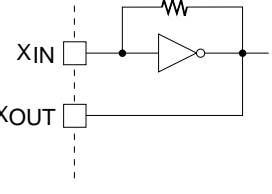
端子名	端子番号	端子説明	I/O	入出力型式
PH0 PH1/BEEP ¹ PH2/DAC1 ² PH3/DAC2 ²	10 9 8 7	出力専用ポートである。 このポートは、Nch-Trオープンドレイン型式の高耐圧であるため、バンドの電源切換え用として使用すると有効である。なお、PH1はBEEP出力用(1)、PH2、PH3はそれぞれ、DAC1、DAC2の出力用として兼用している。(2) リセット(RES=「L」)時および、BACK UPモード時は、ハイインピーダンスとなる。	出力	
PI0/S25 PI1/S26 PI2/S27 PI3/S28	39 38 37 36	出力専用ポートである。 出力型式はCMOS出力となっているがLCDドライバ切換え可能となっている。切換え方法は、SS、RS命令を使って切換える。1端子ごとの切換えはできない。 RES=「L」および電源投入時は、LCDドライバに選択され、出力は消灯信号が出力される。BACK UPモード時は、「L」レベルに固定される。 なお、オプション指定で汎用ポートとして使用した場合はLPC=1でIポート、LPC=0で汎用出力ポートのLATCHの内容が出力される。	出力	
S1 ~ S24	63 ~ 40	LCDドライバセグメント出力である。 フレーム周波数は100Hzである。 駆動方式は1/2duty、1/2biasである。 RES=「L」および電源投入時は消灯信号が出力される。 BACK UPモード時は、「L」レベルに固定される。 オプション指定で汎用出力ポートとして使用可能である。	出力	
COM1 COM2	65 64	LCDドライバコモン出力である。 駆動方式は1/2duty、1/2biasである。 RES=「L」および電源投入時は通常時と同じ出力が出力される。 BACK UPモード時は、「L」レベルに固定される。	出力	
FM IN	74	FM VCO(局部発振)を入力する端子。 容量結合で入力すること。 入力周波数は10 ~ 130MHz。	入力	
AM IN	75	AM VCO(局部発振)を入力する端子。 容量結合で入力すること。 PLL命令のCW1によりこの端子の帯域が選択できる。 Hi(2 ~ 40MHz) SW Lo(0.5 ~ 10MHz) LW, MW		

1 LC72321Nのみ可能

2 LC72321N, LC72322Nのみ可能

次ページへ続く。

前ページから続く。

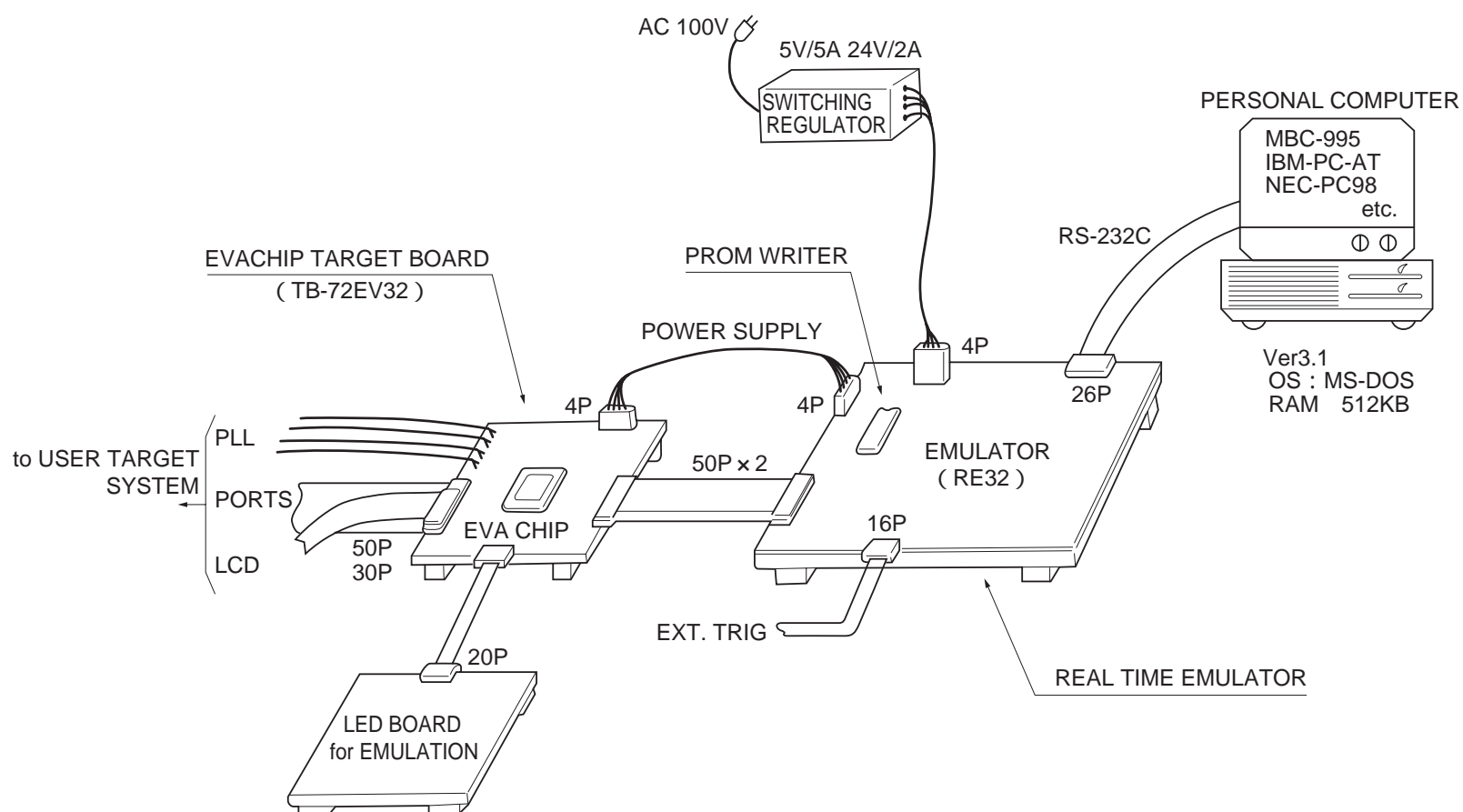
端子名	端子番号	端子説明	I/O	入出力型式
HCTR	70	ユニバーサルカウンタ入力端子である。 容量結合で入力すること。 入力周波数は、0.4～12MHz。 FM IF, AM IFをカウントするのに有効である。	入力	
LCTR	71	ユニバーサルカウンタ入力端子である。 入力周波数が100～500kHzの場合は、容量結合で入力すること。 入力周波数が1Hz～20kHzの場合は容量結合する必要はない。 AM IFをカウントするのに有効である。 通常の入力ポートとしても使用できる。		
ADI	69	ADコンバータ入力端子である。 6ビットの逐次比較型で変更時間は1.28ms要する。 フルスケール(データが3FH)は(63/96) V _{DD} である。	入力	
INT	66	外部割込み要求入力端子である。 INTENフラグがセット(SS命令)されて、立下り信号が入力されると割込みが成立する。 通常の入力ポートとしても使用できる。	入力	
EO1 EO2	77 78	基準周波数と、プルグラマブル分周出力の位相比較誤差出力である。 チャージポンプが内蔵されている。 EO1, EO2は同じものである。	出力	
SNS	72	BACK UPモード時にパワーフェイルがあったかどうかを判定するための入力端子である。 通常の入力ポートとしても使用できる。	入力	
HOLD	67	HOLDモードにするための入力端子。 HOLDENフラグがセット(SS命令)されて、HOLD = 'L' になるとHOLDモードに入る。 通常パワーSWと連動できるよう高耐圧となっている。	入力	
RES	68	システムリセット入力。 パワーアップリセットは、75ms以上 'L' レベルを確保すること。 リセットスタートは、'L' レベルを6基本クロックサイクル以上入力。	入力	
XIN XOUT	1 80	X'tal発振用端子 (4.5MHz) フィードバック抵抗は内蔵。	入力 出力	
TEST1 TEST2	2 79	LSIテスト用端子でオープンまたはV _{SS} に接続すること。	—	—
V _{DD} V _{SS}	31, 73 76	電源	—	—

マスクオプション

	内 容	選 択 枝
1	WDT(ウォッチ・ドッグ・タイマ)有無の選択	WDT有
		WDT無
2	Aポート(キー入力ポート) プルダウン抵抗の有無	プルダウン抵抗 有
		プルダウン抵抗 無
3	サイクルタイム(3種類)の選択	2.67 μ s
		13.33 μ s
		40.00 μ s
4	LCDセグメントドライバを、 汎用出力ポートに切替える。	LCDポート
		汎用出力ポート

開発ツール環境

- ・ OTPはLC72P321を使用。
- ・ エバチップはLC72EV321を使用。
- ・ エバチップボード(TB-72EV32)と高性能エミュレータ(RE32)をパソコンで制御したトータルデバッグシステム。



LC72321N, 72322N, 72323N 命令一覧表

凡例：ADDR：Program memory address[12bits]

b：Borrow

B：Bank number[2bits]

C：Carry

DH：Data memory address high(Row address) [2bits]

DL：Data memory address Low(Column address) [4bits]

I：Immediate data[4bits]

M：Data memory address

N：Bit position[4bits]

Pn：Port number[4bits]

r：General register(BANK0の00～0FH番地の1つ)

()：Contents of register or memory

()N：Contents of bit N of register or memory

命令群	ニーモニック	オペランド		機 能	動 作	マシンコード									
		1st	2nd			D15 14 13 12				11 10 9 8	7 6 5 4	3 2 1 D0			
加 算 命 令	AD	r	M	Add M to r	r (r)+(M)	0	1	0	0	0	0	DH	DL	Rn	
	ADS	r	M	Add M to r, then skip if carry	r (r)+(M) skip if carry	0	1	0	0	0	1	DH	DL	Rn	
	AC	r	M	Add M to r with carry	r (r)+(M)+C	0	1	0	0	1	0	DH	DL	Rn	
	ACS	r	M	Add M to r with carry, then skip if carry	r (r)+(M)+C skip if carry	0	1	0	0	1	1	DH	DL	Rn	
	AI	M	I	Add I to M	M (M)+I	0	1	0	1	0	0	DH	DL	I	
	AIS	M	I	Add I to M, then skip if carry	M (M)+I skip if carry	0	1	0	1	0	1	DH	DL	I	
	AIC	M	I	Add I to M with carry	M (M)+I+C	0	1	0	1	1	0	DH	DL	I	
	AICS	M	I	Add I to M with carry, then skip if carry	M (M)+I+C skip if carry	0	1	0	1	1	1	DH	DL	I	
減 算 命 令	SU	r	M	Subtract M from r	r (r)-(M)	0	1	1	0	0	0	DH	DL	Rn	
	SUS	r	M	Subtract M from r, then skip if borrow	r (r)-(M) skip if borrow	0	1	1	0	0	1	DH	DL	Rn	
	SB	r	M	Subtract M from r with, borrow	r (r)-(M)- b	0	1	1	0	1	0	DH	DL	Rn	
	SBS	r	M	Subtract M from r with borrow, then skip if borrow	r (r)-(M)- b skip if borrow	0	1	1	0	0	0	DH	DL	Rn	
	SI	M	I	Subtract I from M	M (M)- I	0	1	1	1	0	0	DH	DL	I	
	SIS	M	I	Subtract I from M, then skip if borrow	M (M)- I skip if borrow	0	1	1	1	0	1	DH	DL	I	
	SIB	M	I	Subtract I from M with borrow	M (M)- I - b	0	1	1	1	1	0	DH	DL	I	
	SIBS	M	I	Subtract I from M with borrow, then skip if borrow	M (M)- I - b skip if borrow	0	1	0	1	1	1	DH	DL	I	
比 較 命 令	SEQ	r	M	Skip if r equals M	r - M skip if zero	0	0	0	0	0	1	DH	DL	Rn	
	SGE	r	M	Skip if r is greater than or equal to M	r - M skip if not borrow (r) (M)	0	0	0	0	1	1	DH	DL	Rn	
	SEQI	M	I	Skip if M equal to I	M - I skip if zero	0	0	1	1	0	1	DH	DL	I	
	SGEI	M	I	Skip if M is greater than or equal to I	M - I skip if not borrow (M) I	0	0	1	1	1	1	DH	DL	I	

次ページへ続く。

前ページから続く。

命令群	ニーモニック	オペランド		機 能	動 作	マシンコード									
		1st	2nd			D15 14 13 12				11 10 9 8	7 6 5 4	3 2 1 D0			
論理演算命令	AND	M	I	AND I with M	M (M)∧ I	0 0 1 1	0 0	DH	DL	I					
	OR	M	I	ORI with M	M (M)∨ I	0 0 1 1	1 0	DH	DL	I					
	EXL	r	M	Exclusive OR M with r	r (r)⊕(M)	0 0 1 0	0 0	DH	DL	Rn					
転送命令	LD	r	M	Load M to r	r (M)	1 0 0 0	0 0	DH	DL	Rn					
	ST	M	r	Store r to M	M (r)	1 0 0 0	0 1	DH	DL	Rn					
	MVRD	r	M	Move M to destination M referring to r in the same row	[DH,Rn] (M)	1 0 0 0	1 0	DH	DL	Rn					
	MVRS	M	r	Move source M referring to r to M in the same row	M [DH,Rn]	1 0 0 0	1 1	DH	DL	Rn					
	MVSR	M1	M2	Move M to M in the same row	[DH,DL1] [DH, DL2]	1 0 0 1	0 0	DH	DL1	DL2					
	MVI	M	I	Move I to M	M I	1 0 0 1	0 1	DH	DL	I					
	PLL	M	r	Load M to PLL registers	PLL r PLL DATA	1 0 0 1	1 0	DH	DL	Rn					
ビットテスト命令	TMT	M	N	Test M bits, then skip if all bits specified are true	if M(N)=all“ 1 ”, then skip	1 0 1 0	0 1	DH	DL	N					
	TMF	M	N	Test M bits, then skip if all bits specified are false	if M(N)=all“ 0 ”, then skip	1 0 1 0	1 1	DH	DL	N					
ジャンプサブ ルーチン命令	JMP	ADDR		Jump to the address	PC ADDR	1 0 1 1	ADDR(12bits)								
	CAL	ADDR		Call subroutine	Stack (PC)+1	1 1 0 0	ADDR(12bits)								
	RT			Return from subroutine	PC Stack	1 1 0 1	0 1 0 0	0 0 0 0		0 0 0 0					
	RTI			Return from interrupt	PC Stack BANK Stack CARRY Stack	1 1 0 1	0 1 0 1	0 0 0 0		0 0 0 0					
F/Fテスト命令	TTM	N		Test timer F/F then skip if it has not been set	if timer F/F=“ 0 ”, then skip	1 1 0 1	0 1 1 0	0 0 0 0		N					
	TUL	N		Test unlock F/F then skip if it has not been set	if UL F/F=“ 0 ”, then skip	1 1 0 1	0 1 1 1	0 0 0 0		N					
ステータスレジスタ命令	SS	N		Set status register	(Status register 1) N 1	1 1 0 1	1 1 0 0	0 0 0 0		N					
	RS	N		Reset status register	(Status register 1) N 0	1 1 0 1	1 1 0 1	0 0 0 0		N					
	TST	N		Test status register true	if(Status register 2)N= all“ 1 ”,then skip	1 1 0 1	1 1 1 0	0 0 0 0		N					
	TSF	N		Test status register false	if(Status register 2)N= all“ 0 ”,then skip	1 1 0 1	1 1 1 1	0 0 0 0		N					
バンク切換命令	BANK	B		Select Bank	BANK B	1 1 0 1	0 0	B	0 0 0 0		0 0 0 0				

次ページへ続く。

前ページから続く。

命令群	ニーモニック	オペランド		機 能	動 作	マシンコード									
		1st	2nd			D15 14 13 12				11 10 9 8	7 6 5 4		3 2 1 D0		
入出力命令	LCD	M	I	Output segment pattern to LCD digit direct	LCD(DIGIT) M	1 1 1 0	0 0	DH	DL		DIGIT				
	LCP	M	I	Output segment pattern to LCD digit through PLA	LCD(DIGIT) PLA M	1 1 1 0	0 1	DH	DL		DIGIT				
	IN	M	P	Input port data to M	M (Port(P))	1 1 1 0	1 0	DH	DL		P				
	OUT	M	P	Output contents of M to port	(Port(P)) M	1 1 1 0	1 1	DH	DL		P				
	SPB	P	N	Set port bits	(Port(P))N 1	1 1 1 1	0 0 0 0	P		N					
	RPB	P	N	Reset port bits	(Port(P))N 0	1 1 1 1	0 1 0 1	P		N					
	TPT	P	N	Test port bits, then skip if all bits specified are true	if(Port(P))N= all“ 1 ”, then skip	1 1 1 1	1 0 1 0	P		N					
	TPF	P	N	Test port bits, then skip if all bits specified are false	if(Port(P))N= all“ 0 ”, then skip	1 1 1 1	1 1 1 1	P		N					
ユニバーサル命令	UCS	I		Set I to UCCW1	UCCW1 I	0 0 0 0	0 0 0 1	0 0 0 0		I					
	UCC	I		Set I to UCCW2	UCCW2 I	0 0 0 0	0 0 1 1	0 0 0 0		I					
その他の命令	FPC	N		F port I/O control	FPC Latch N	0 0 0 1	0 0 0 0	0 0 0 0		N					
	CKSTP			Clock stop	Stop clock if $\overline{\text{HOLD}}=0$	0 0 0 1	0 0 0 1	0 0 0 0		0 0 0 0					
	DAC	I		Load M to D/A registers	DAreg DAC DATA	0 0 0 0	0 0 1 0	0 0 0 0		I					
	SIO	I1	I2	Serial I/O control	SIOCW I1,I2	0 0 0 1	0 0 1 1	I1		I2					
	SIOL	M	I	Load SIOreg to M	M SIOreg	0 0 0 1	1 0	DH	DL		I				
	SIOS	M	I	Store M to SIOreg	SIOreg M	0 0 0 1	0 1	DH	DL		I				
	BEEP	I		Beep control	BEEPreg I	0 0 0 1	0 0 1 0	0 0 0 0		I					
	NOP			No operation		0 0 0 0	0 0 0 0	0 0 0 0		0 0 0 0					

- この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。
- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。