



LC72725M LC72725V LC72725NV

CMOS LSI
RDS 復調 LSI

LC72725M, 72725V, 72725NVはRDS(Radio Data System)信号復調処理用LSIである。このLSIはBPF・復調回路およびデータバッファRAMを内蔵しており、RDSデータを外部からのクロック入力により読み出すこと(スレーブ動作)が可能である(RDSクロック出力に同期して読み出すマスタ動作も可能)。

機能

- ・ BPF : スイッチド・キャパシタ・フィルタ(SCF)
- ・ RDS復調 : 57kHzキャリア再生・クロック再生
バイフェーズデコード・差動デコード
- ・ バッファRAM : 128ビット(約100ms)のデータ保存可能
- ・ データ出力 : マスタ/スレーブ読みだし切換え
- ・ RDS-ID検出 : IDリセット可能
- ・ スタンバイ制御 : 水晶発振回路停止
- ・ 低電圧対応 : 2.7 ~ 5.5V(LC72723:4.5 ~ 5.5V)
- ・ 水晶発振能力向上品 : LC72725NV
- ・ 完全無調整

特長

- ・ 動作電源電圧 : 2.7 ~ 5.5V
- ・ 動作周囲温度 : - 20 ~ + 70
- ・ パッケージ : MFP16/SSOP16(LC72723:DIP16/MFP16)

絶対最大定格/Ta=25℃, Vssd=Vssa=0V

項目	記号	端子名	定格値	unit
最大電源電圧	V _{DD} max	V _{ddd} , V _{dda} ()	- 0.3 ~ + 7.0	V
最大入力電圧	V _{IN1} max	TEST, MODE, RST	- 0.3 ~ + 7.0	V
	V _{IN2} max	XIN, RDCL	- 0.3 ~ V _{ddd} + 0.3	V
	V _{IN3} max	MPXIN, CIN	- 0.3 ~ V _{dda} + 0.3	V
最大出力電圧	V _{O1} max	RDS-ID(READY)	- 0.3 ~ + 7.0	V
	V _{O2} max	XOUT, RDDA, RDCL	- 0.3 ~ V _{ddd} + 0.3	V
	V _{O3} max	FLOUT	- 0.3 ~ V _{dda} + 0.3	V

但しV_{dda} V_{ddd} + 0.3 V

次ページへ続く。

- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

LC72725M, 72725V, 72725NV

前ページより続く。

項目	記号	端子名	定格値	unit
最大出力電流	I _{O1} max	XOUT, FLOUT, RDDA, RDCL	+ 3.0	mA
	I _{O2} max	RDS- ID (READY)	+ 20.0	mA
許容消費電力	P _d max	(T _a 85)	MFP16: 140 SSOP16: 100	mW
動作周囲温度	T _{opr}		- 20 ~ + 70	
保存周囲温度	T _{stg}		- 40 ~ + 125	

許容動作範囲/T_a= - 20 ~ + 70 , V_{ssd}=V_{ssa}=0V, V_{ddd}=V_dda

項目	記号	端子名	条件	min	typ	max	unit
電源電圧	V _{DD}	V _{ddd} , V _d da	V _{ddd} =V _d da	2.7		5.5	V
入力「H」レベル電圧	V _{IH1}	TEST, MODE, RST		0.7V _{ddd}		6.5	V
	V _{IH2}	RDCL		0.7V _{ddd}		V _{ddd}	V
入力「L」レベル電圧	V _{IL}	RDCL, RST, TEST, MODE		0		0.3V _{ddd}	V
出力電圧	V _{O1}	RDDA, RDCL				V _{ddd}	V
	V _{O2}	RDS- ID (READY)				6.5	V
入力振幅	V _{IN}	MPXIN	f=57 ± 2kHz	1.6		50	mVrms
	V _{XIN}	XIN		400		1500	mVrms
発振保証水晶振動子	X _{tal}	XIN, XOUT	C _I 120Ω		4.332		MHz
水晶発振周波数偏差	T _x tal	XIN, XOUT	f _o =4.332MHz			± 100	ppm
RDCLセットアップ時間	t _{CS}	RDCL, RDDA		0			μs
RDCL「H」レベル時間	t _{CH}	RDCL		0.75			μs
RDCL「L」レベル時間	t _{CL}	RDCL		0.75			μs
データ出力時間	t _{DC}	RDCL, RDDA				0.75	μs
READY出力時間	t _{RC}	RDCL, READY				0.75	μs
READY「L」レベル時間	T _{RL}	READY				107	ms

電気的特性/T_a= - 20 ~ + 70 , V_{ssd}=V_{ssa}=0V, V_{ddd}=V_dda

項目	記号	端子名	条件	min	typ	max	unit
入力抵抗値	R _{mpxin}	MPXIN-V _{ssa}	f=57kHz		100		kΩ
	R _{cin}	CIN-V _{ssa}	f=57kHz		120		kΩ
内蔵帰還抵抗	R _f	XIN			1.0		MΩ
中心周波数	F _c	FLOUT		56.5	57.0	57.5	kHz
- 3dB帯域幅	BW - 3dB	FLOUT		2.5	3.0	3.5	kHz
増幅度	Gain	MPXIN-FLOUT	f=57kHz	28	31	34	dB
阻止域減衰量	Att1	FLOUT	Δf= ± 7kHz	30			dB
	Att2	FLOUT	f < 45kHz, f > 70kHz	40			dB
	Att3	FLOUT	f < 20kHz	50			dB
基準電圧出力	V _{ref}	V _{ref}	V _d da=3V		1.5		V
ヒステリシス幅	V _{HIS}	TEST, MODE, RST, RDCL			0.1V _{ddd}		V
出力「H」レベル電圧	V _{OH}	RDDA, RDCL	I=2mA	V _{ddd} - 0.4			V
出力「L」レベル電圧	V _{OL1}	RDDA, RDCL	I=2mA			0.4	V
	V _{OL2}	RDS- ID (READY)	I=8mA			0.4	V

次ページへ続く。

LC72725M, 72725V, 72725NV

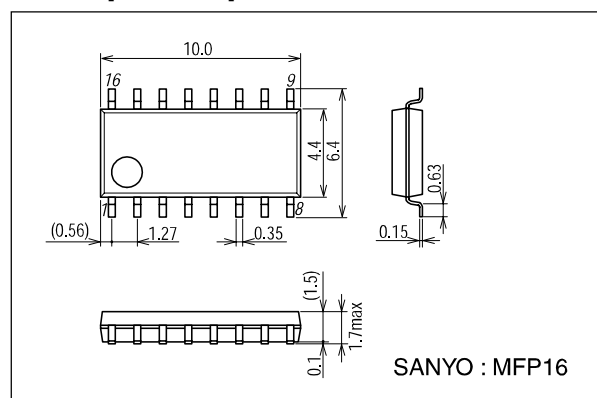
前ページより続く。

項目	記号	端子名	条件	min	typ	max	unit
入力「H」レベル電流	I _{IH1}	TEST, MODE, RST, RDCL	V _I =6.5V			5.0	μA
	I _{IH2}	XIN	V _I =V _{ddd}	2.0		11	μA
入力「L」レベル電流	I _{IL1}	TEST, MODE, RST, RDCL	V _I =0V			5.0	μA
	I _{IL2}	XIN	V _I =0V	2.0		11	μA
出力オフリーク電流	I _{OFF}	RDS-ID(READY)	V _O =6.5V			5.0	μA
消費電流	I _{dd}	V _{ddd} + V _{dda}	V _{ddd} + V _{dda} (V _{ddd} =V _{dda} =3V)		5		mA

外形図

unit:mm

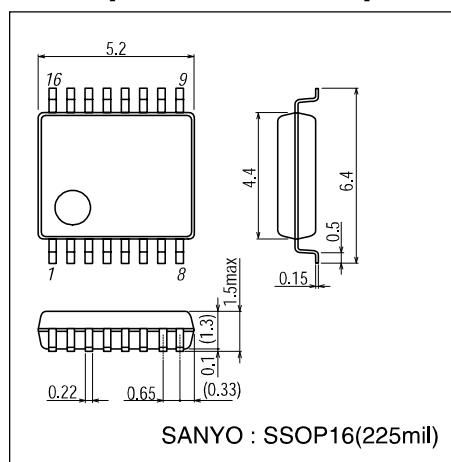
3035B [LC72725M]



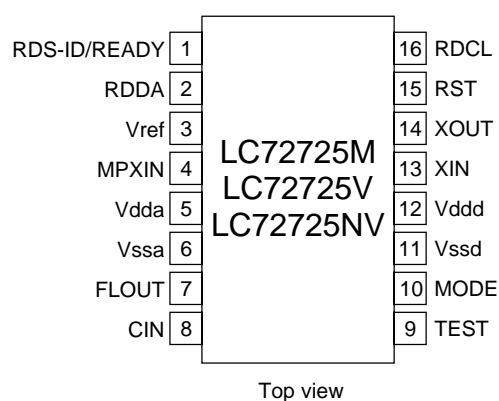
外形図

unit:mm

3178A [LC72725V, LC72725NV]

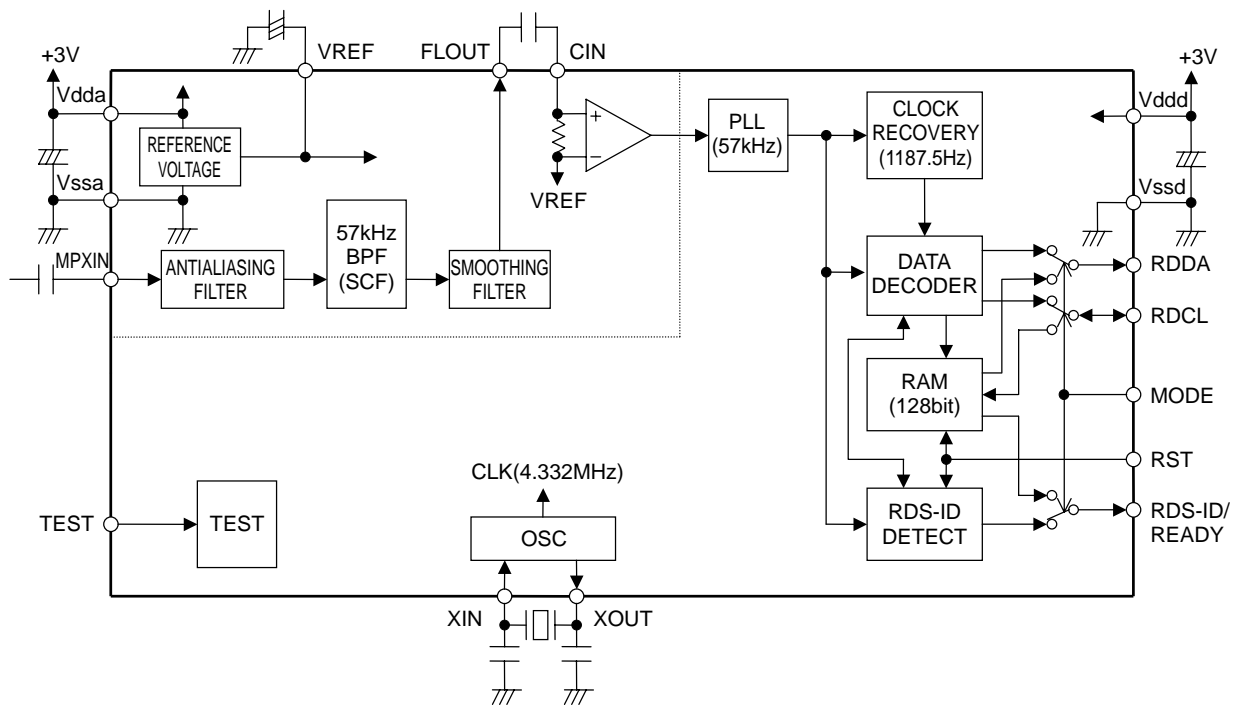


ピン配置図(MFP16/SSOP16)



LC72725M, 72725V, 72725NV

ブロック図



LC72725M, 72725V, 72725NV

端子説明

端子名	端子番号	端子説明	I/O	端子形式
3	VREF	基準電圧出力 ($V_{dda}/2$)	出力	
4	MPXIN	ベースバンド(マルチプレックス)信号入力	入力	
7	FLOUT	サブキャリア出力(フィルタ出力)	出力	
8	CIN	サブキャリア入力(コンパレータ入力)	入力	
5	Vdda	アナログ系電源(+3V)	-	-
6	Vssa	アナログ系グランド	-	-
14	XOUT	水晶発振出力(4.332MHz)	出力	
13	XIN	水晶発振入力(外部基準信号入力)	入力	
9	TEST	テスト入力		
10	MODE	読みだしモード設定(0:マスタ,1:スレーブ)		
15	RST	RDS-ID/RAMリセット(正極性)		
2	RDDA	RDSデータ出力	出力	
16	RDCL	RDSクロック出力(マスタモード)/ RDSクロック入力(スレーブモード)	入出力	
1	RDS-ID/ READY	RDS-ID/READY出力(正極性) (LC72723: 負極性)	出力	
12	Vddd	デジタル系電源(+3V)	-	-
11	Vssd	デジタル系グランド	-	-

LC72725M, 72725V, 72725NV

入出力の説明

TEST	MODE	回路動作モード	RDCL端子	RDS-ID/READY端子
0	0	マスタ動作モード	クロック出力	RDS-ID出力
0	1	スレーブ動作モード	クロック入力	READY出力
1	0	スタンバイモード(水晶発振停止)	-	-
1	1	LSIテストモード(ユーザ設定不可)	-	-

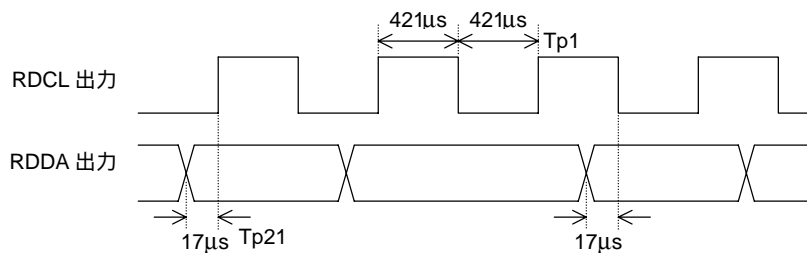
	RST端子
RST=0	通常動作
RST=1	RDS-ID・復調回路クリア + READY・メモリクリア(スレーブモード時)

	RDS-ID/READY端子
マスタ動作時	RDS-ID出力(Active-high)
スレーブ動作時	読み出しデータREADY出力(Active-high)

注意：RDS-ID(READY)端子はNchオープンドレイン端子となっており、プルアップ抵抗を接続することによりデータが出力される。

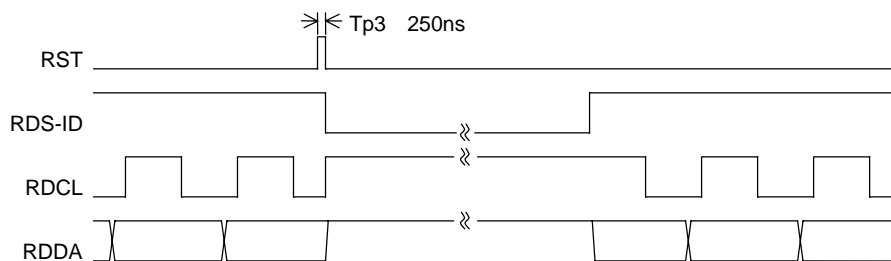
RDCL/RDDA出力タイミング

- ・マスタ動作モードの場合



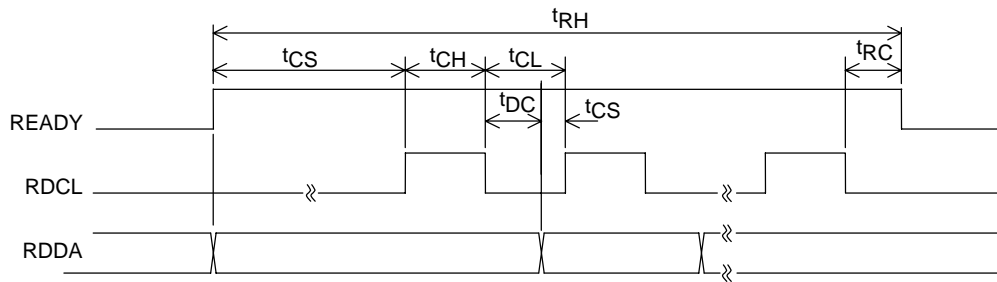
RSTの動作

- ・マスタ動作モードの場合



(注意)
RST入力後、最初の
RDS-ID検出まで
RDCL, RDDA出力はhigh
レベルでストップする。

スレーブ動作モード時の RDCL 制御



項目	記号	端子名	条件	min	typ	max	unit
RDCLセットアップ時間	t_{CS}	RDCL, RDDA		0			μs
RDCL「H」レベル時間	t_{CH}	RDCL		0.75			μs
RDCL「L」レベル時間	t_{CL}	RDCL		0.75			μs
データ出力時間	t_{DC}	RDCL, RDDA				0.75	μs
READY出力時間	t_{RC}	RDCL, READY				0.75	μs
READY「H」レベル時間	t_{RH}	READY				107	ms

注意：1. READY信号がHIGHとなってから、RDCLクロック入力を開始する。READY状態がLOWの時、RDCLはLOWレベルで待機すること。

2. RDCL入力をLOW HIGH LOWと行うごとに、RDCLがLOWとなってから t_{RC} 時間以降のタイミングで、READYレベルを確認し、もしHIGHの時は次のRDCLクロック入力を続行する。もしREADYがLOWの時はRDCL入力をその時点で停止する。

3. 上記タイミングを満足するとき、RDDAはRDCLの立上がりまたは立下がりどちらのタイミングでも取り込むことができる。

4. READY信号はメモリ上の最後のデータを読み込んだ後、RDCLの立下がりから t_{RC} 時間後にLOWになる。また、1ビットでもメモリにデータが書き込まれればHIGHになりデータ読み出しが可能。

5. チャンネル切換え時には、直後にRST入力によりメモリおよびREADYリセットを行うことが望ましい。

そうでないと、メモリ上に前チャンネルの受信データが残ることがある。RST入力を行うと、メモリにはRDS-IDが検出されるまでデータは書き込まれず、従ってREADY信号はRDS-ID検出後にHIGHとなる(スレーブ動作時にはRDS-IDは出力されないが、IC内部では検出している)。RST入力後、一旦RDS-IDが検出されると、それ以降の受信データはRDS-IDの検出状況にかかわらずメモリに書き込まれる。

6. 読み出し途中で、読み出しモードをマスタ/スレーブに切換えることができる。この場合、データの連続性を保つためには以下の点に注意することが必要である。

(1) マスタ時データ取り込みタイミング

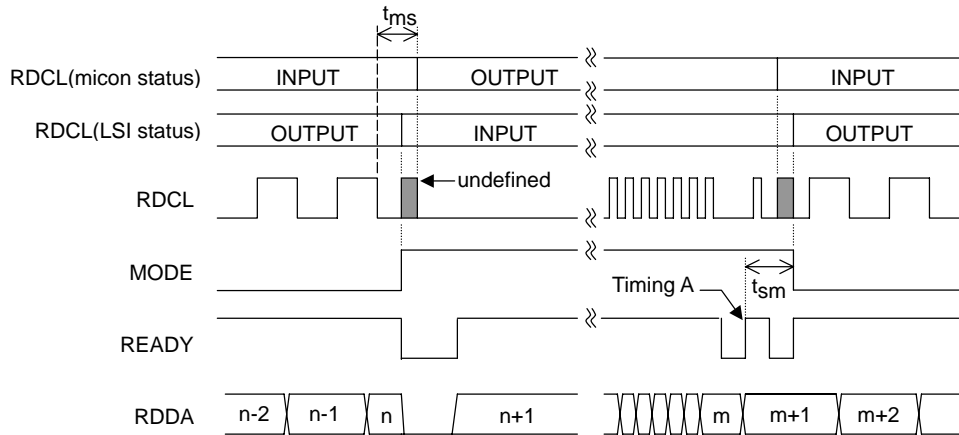
RDCLの立下がりタイミングでデータを取り込むこと。

(2) マスタ スレーブ切換えタイミング

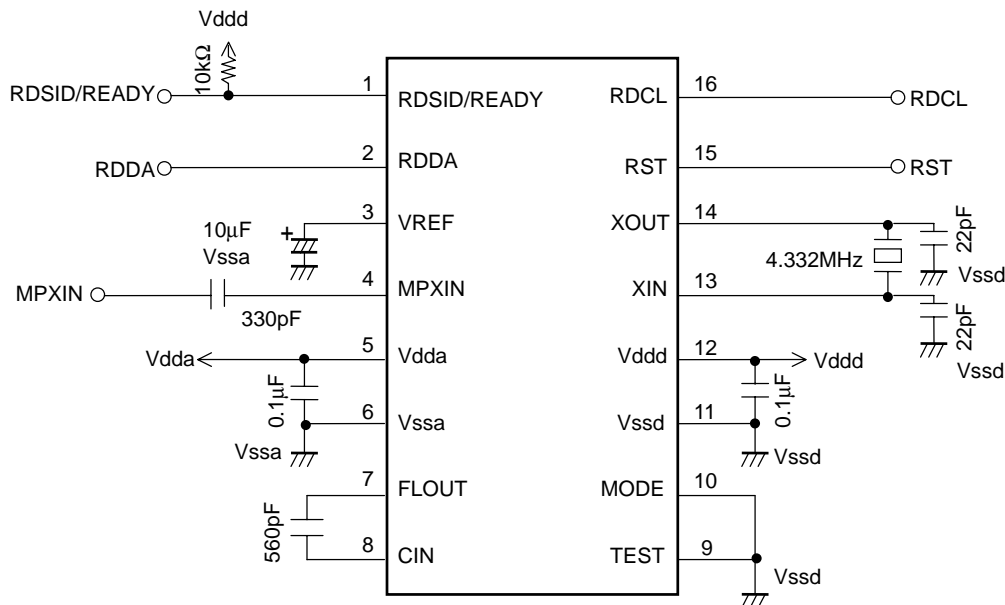
RDCL出力がLOWになってRDDAデータを取り込んでから、直ちにMODEをHIGHにした後、マイコンからRDCL信号(LOW)を出力開始する。RDCLがLOWとなってから $840\mu s$ (t_{ms})以内にマイコンからのRDCL出力が開始されねばならない。この場合最後にマスタモードで読み出したデータが n 番目のデータとすると、 $n+1$ 番目のデータからメモリに書き込まれる。

(3)スレーブ マスタ切換えタイミング

メモリデータを一旦全て読み込みREADYがLOWとなってから、次にもう一度READYがHIGHになるまで待ち(Timing A)、直ちにデータを1ビット読み出してRDCLクロックを入力する。その後READYがLOWとなった時点でマイコンからのRDCL出力は終了し、その後MODEをLOWとする。READYがHIGHとなって(Timing A)から840 μ s(t_{sm})以内にMODEをLOWに切換えねばならない。



LC72725応用接続例(マスタ動作モードの場合)



注意事項 RST端子を未使用の場合、グランドに接続すること。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。