

**SANYO****三洋半導体ニュース**

No. 3317C

32493

半導体ニュースNo.3317Bとさしかえてください。

**LC78820,  
LC78820M**

CMOS LSI

— デジタルオーディオ用18ビットDAコンバータ

**概要**

LC78820, 78820Mは、デジタルオーディオ用18ビットCMOS D/A変換器で、抵抗ストリング(上位9 bit)、PWM(中位3 bit)、レベル・シフト(下位6 bit)を併用した、ダイナミック・レベル・シフト変換方式を用いている。

**特長**

- ・ 2'S コンプリメントコード対応
- ・ 2チャンネル分のD/A変換器内蔵(同相出力)
- ・ 最大変換周波数 384kHz(8倍オーバー・サンプリング対応)
- ・ S/H(ディグリッチ)回路不要
- ・ Siゲート CMOSプロセス(低消費電力)
- ・ 5V単一電源

絶対最大定格 /  $T_a=25^\circ\text{C}$ ,  $V_{SS}=0\text{V}$ 

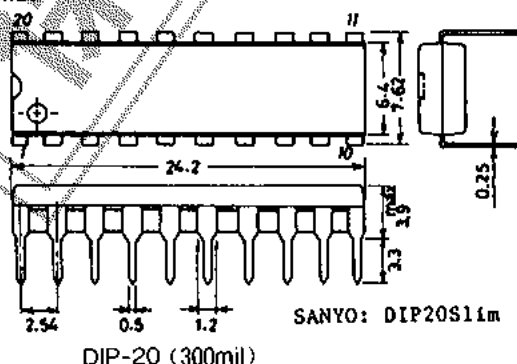
最大電源電圧	$V_{DD\text{ max}}$	$-0.3\sim+7.0$	V
入力電圧	$V_{IH}$	$-0.3\sim V_{DD}+0.3$	V
出力電圧	$V_{OUT}$	$-0.3\sim V_{DD}+0.3$	V
動作周囲温度	$T_{opg}$	$-30\sim+75$	$^\circ\text{C}$
保存周囲温度	$T_{stg}$	$-40\sim+125$	$^\circ\text{C}$

許容動作範囲 /  $T_a=25^\circ\text{C}$ 

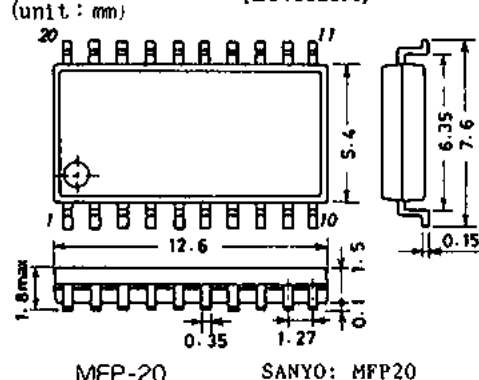
電源電圧	$V_{DD}$	min	typ	max	unit
基準電圧 "H"	$V_{refH}$	4.5	5.0	5.5	V
基準電圧 "L"	$V_{refL}$	$V_{DD}-0.5$		$V_{DD}$	V
入力 "H" 電圧	$V_{IH}$	0		0.5	V
		2.2		$V_{DD}+0.3$	V
入力 "L" 電圧	$V_{IL}$	$0.7V_{DD}$			V
		$-0.3$		0.8	V
				$0.3V_{DD}$	V

外形図 30218-020SIC  
(unit: mm)

[LC78820]

外形図 30368-1C  
(unit: mm)

[LC78820M]



\*これらの仕様は、改良などのため変更することがあります。

# LC78820, 78820M

電気的特性 (特に指定なき場合,  $T_a=25^\circ\text{C}$ ,  $V_{DD}=5.0\text{V}$ )

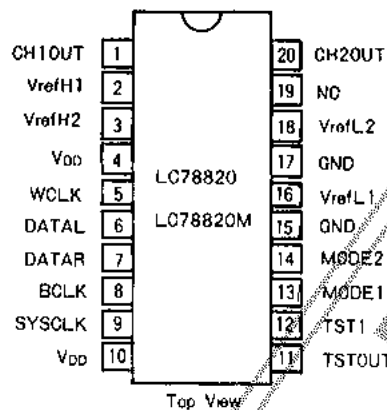
		min	typ	max	unit
分解能	RES		18		ビット
変換周期	$F_s$			384	kHz
全高調波ひずみ率	THD1	1 kHz, レベル 0 dB		0.08	%
		1 kHz, レベル 0 dB		*0.05	%
クロストーク	C-T	1 kHz, レベル 0 dB 時	-85		dB
信号対雑音比	S/N		92		dB
消費電力	$P_d$			60	mW

\* : 選別品

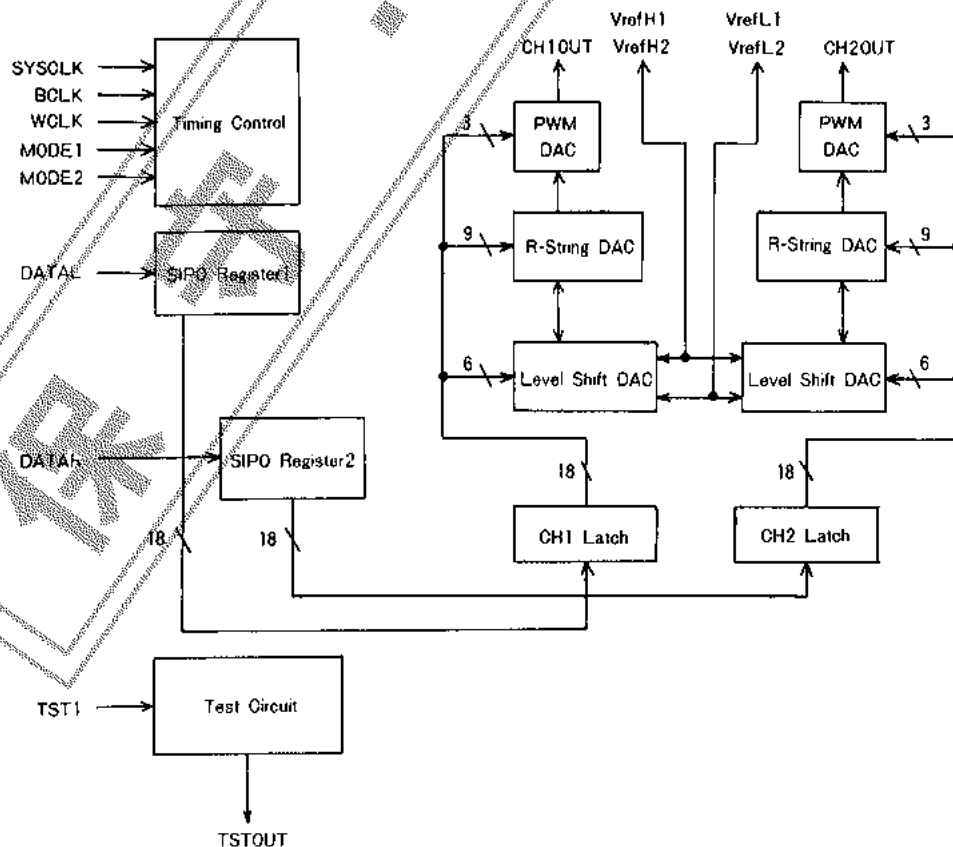
測定回路 : 応用回路例(1)に準じ、サンプリング周波数( $F_s$ )は下記とする。

$F_s = 384 \text{ (kHz)}$

ピン配置図



等価回路ブロック図

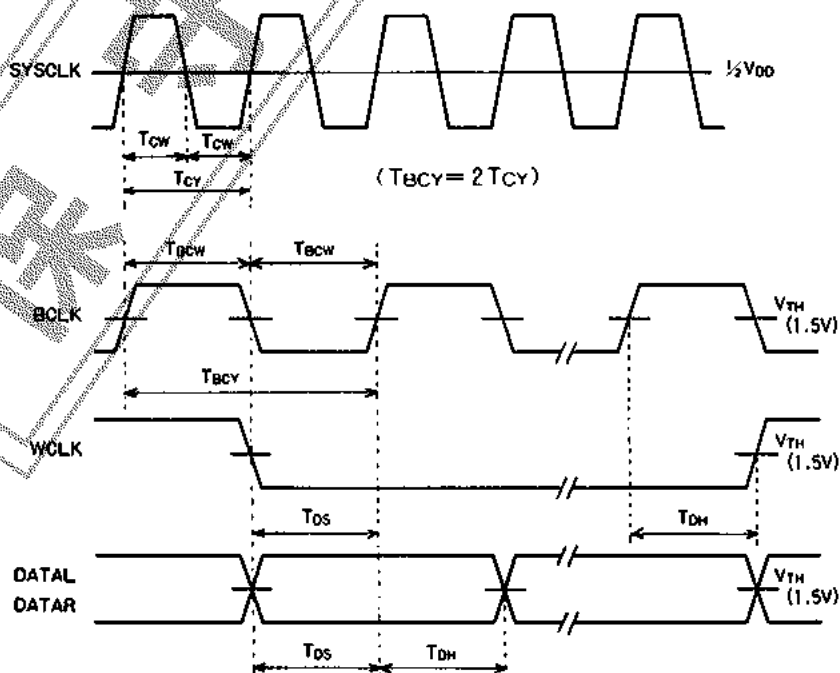


## 端子説明

ピン番号	名 称	機 能 ・ 動 作 の 説 明
1	CH1OUT	CH1 出力端子 (Lch)
2	VrefH1	基準電圧 "H" 入力端子 1
3	VrefH2	基準電圧 "H" 入力端子 2 応用回路例(3) 参照
4	VDD	電源電圧端子 +5V
5	WCLK	ワードクロック入力端子 ディジタル・オーディオ・データ(DATAL, DATAR)をラッチする内部信号を作っている。
6	DATAL	ディジタル・オーディオ・データ入力端子 (Lch) MSB 側からビット・シリアルで入力される。
7	DATAR	ディジタル・オーディオ・データ入力端子 (Rch) MSB 側からビット・シリアルで入力される。
8	BCLK	ビット・クロック入力端子。ディジタル・オーディオ・データをビット・シリアルに LSI 内部に読み込むためのクロックである。
9	SYSCLK	システム・クロック入力端子。LSI 本体を動作するためのメイン・クロックである。 MODE によっては、(MODE1, 2) インタフェース切換え端子となる(タイミングチャート参照)。
10	VDD	電源電圧端子 +5V
11	TSTOUT	テスト用出力端子 通常はオープンにすること。
12	TST1	テスト用入力端子 通常は GND にすること。
13	MODE1	インタフェース切換え端子
14	MODE2	タイミング・チャートを参照すること。
15	GND	GND 端子
16	VrefL1	基準電圧 "L" 入力端子 1
17	GND	GND 端子
18	VrefL2	基準電圧 "L" 入力端子 2 応用回路例(3) 参照
19	NC	NO CONNECTION
20	CH2OUT	CH2 出力端子 (Rch)

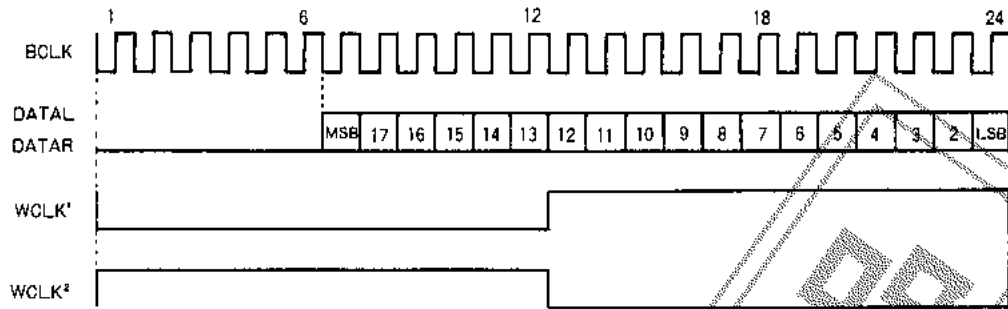
## ディジタル入力タイミング

項 目	記 号	条 件	min	typ	max	unit
クロックパルス幅	$T_{CW}$	SYSCLK	25			ns
	$T_{BCW}$	BCLK	35			ns
セットアップタイム	$T_{DS}$	WCLK DATAL DATAR	25			ns
ホールドタイム	$T_{DH}$		25			ns



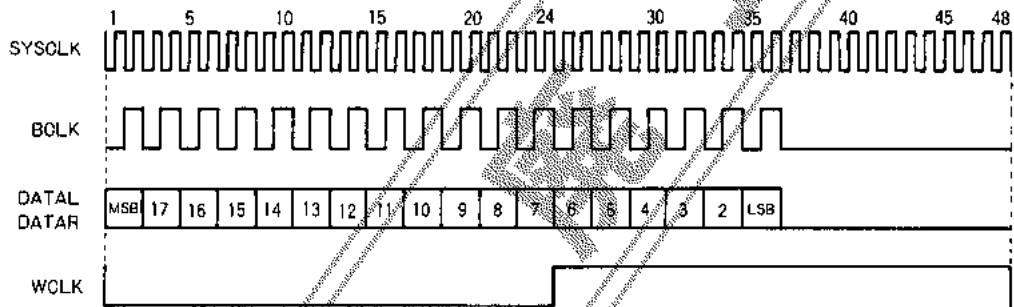
タイミングチャート

(1)



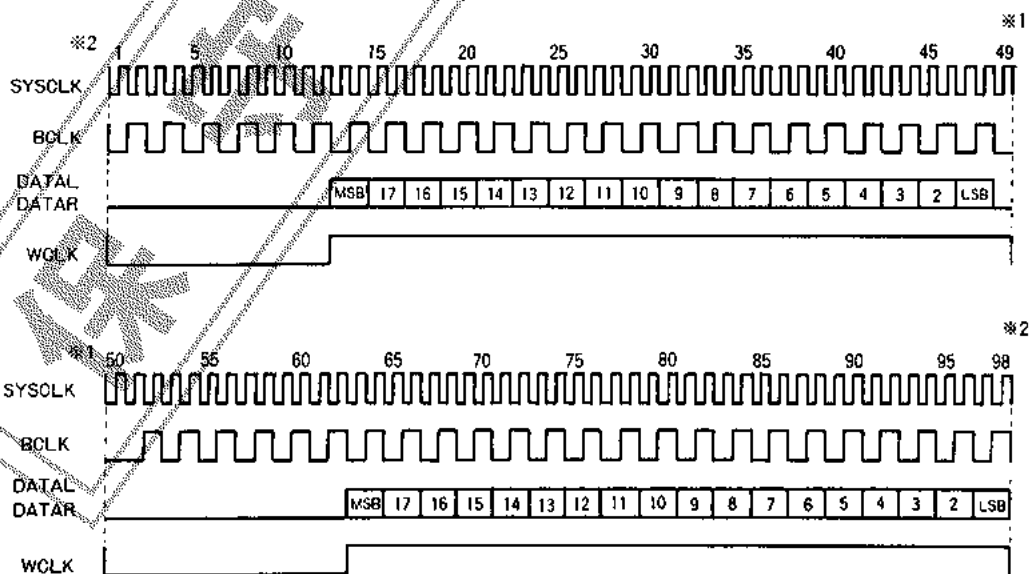
MODE1 = "L"  
 MODE2 = "L"  
 SYSCLK = "L"の時, "WCLK'" : "H"の時, "WCLK"  
 BCLK = 192fs ( $F_s = 8$  fs)

(2)



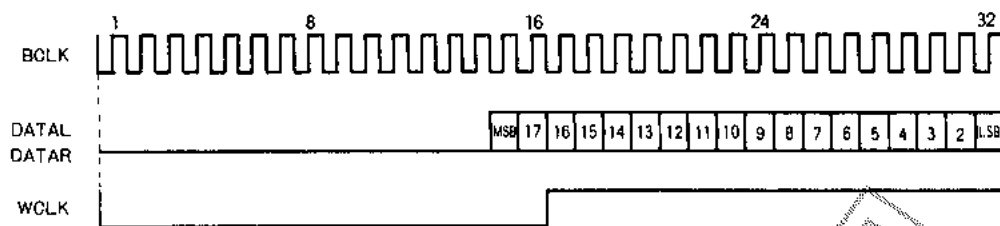
MODE1 = "L"  
 MODE2 = "H"  
 SYSCLK = 384fs ( $F_s = 8$  fs)

(3)



MODE1 = "H"  
 MODE2 = "L"  
 SYSCLK = 392fs ( $F_s = 8$  fs)

(4)



MODE1 = "H"

MODE2 = "H"

SYSCLK = "L"

BCLK = 256 fs (Fs = 8 fs)

## 動作説明

## 図1 参照

LC78820, 78820Mは、CH1、CH2それぞれ独立にD/A変換回路を内蔵している。抵抗ストリングによるD/A変換(R-String DAC)、PWM(パルス幅変調)によるD/A変換(PWM DAC)、レベルシフトによるD/A変換(Level shift DAC)、を併用したダイナミック・レベルシフト変換方式を用いている。

18ビットのデジタルオーディオデータ(D<sub>17</sub>~D<sub>0</sub>)は、Latch後、

上位9ビットのデータ(D<sub>17</sub>~D<sub>9</sub>)は、R-String DACへ

中位3ビットのデータ(D<sub>8</sub>~D<sub>6</sub>)は、PWM DACへ

下位6ビットのデータ(D<sub>5</sub>~D<sub>0</sub>)は、Level Shift DACへ

入力される。

## ①R-String DAC

512(= 2<sup>9</sup>)個の単位抵抗：Rを直列接続させ、その両端に印加された電位を512等分に分圧する9ビットD/A変換回路である。

上位9ビットのデータの値に応じて分圧された電位の中の隣接2電位V<sub>2</sub>、V<sub>1</sub>を、スイッチング回路により、PWM DACへ出力する。この時、

$$V_2 - V_1 = (V_H - V_L) / 512$$

となる。

## ②PWM DAC

R-String DACより出力されたV<sub>2</sub>、V<sub>1</sub>の2電位の間を、PWM(パルス幅変調)により8分割する3ビットのD/A変換回路である。

中位3ビットのデータの値に応じて、V<sub>2</sub>、V<sub>1</sub>のいずれか一方の電位をCH1OUT端子(CH2OUT端子)に出力する。

## ③Level Shift DAC

可変抵抗VR<sub>H</sub>、VRLをR-String DACの抵抗の両端に直列接続させ、6ビットのD/A変換回路を実現している。

下位6ビットのデータの値に応じて、可変抵抗VR<sub>H</sub>、VRLは以下のように変化する。

(1)データの値によらず、(VR<sub>H</sub> + VRL)は一定である。

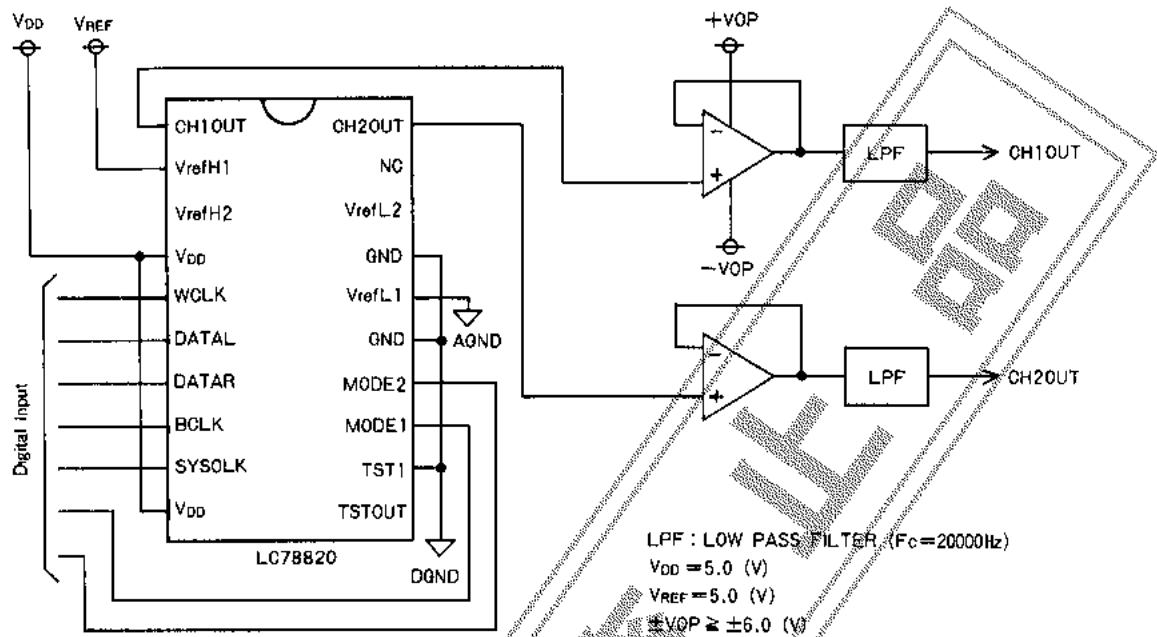
(2)データの値に応じて、VR<sub>H</sub>、VRLは0 ~ 63R/512(RはR-String DACの単位抵抗値)の範囲でR/512のステップで変化する。

これによりR-String DACの出力V<sub>2</sub>、V<sub>1</sub>はそれぞれ下位6ビットのデータの値に応じて、0 ~ 63 × ΔV/512(ΔV = (V<sub>H</sub> - V<sub>L</sub>)/512)の範囲で、ΔV/512のステップで変化する。

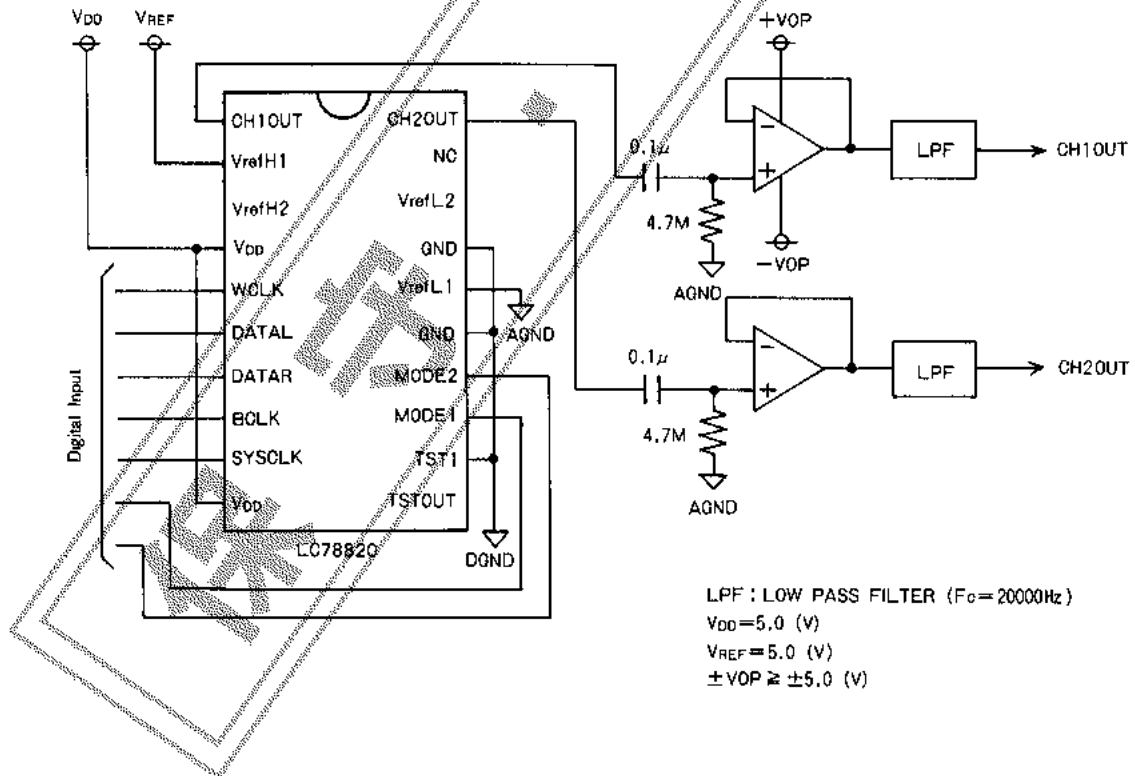


応用回路例

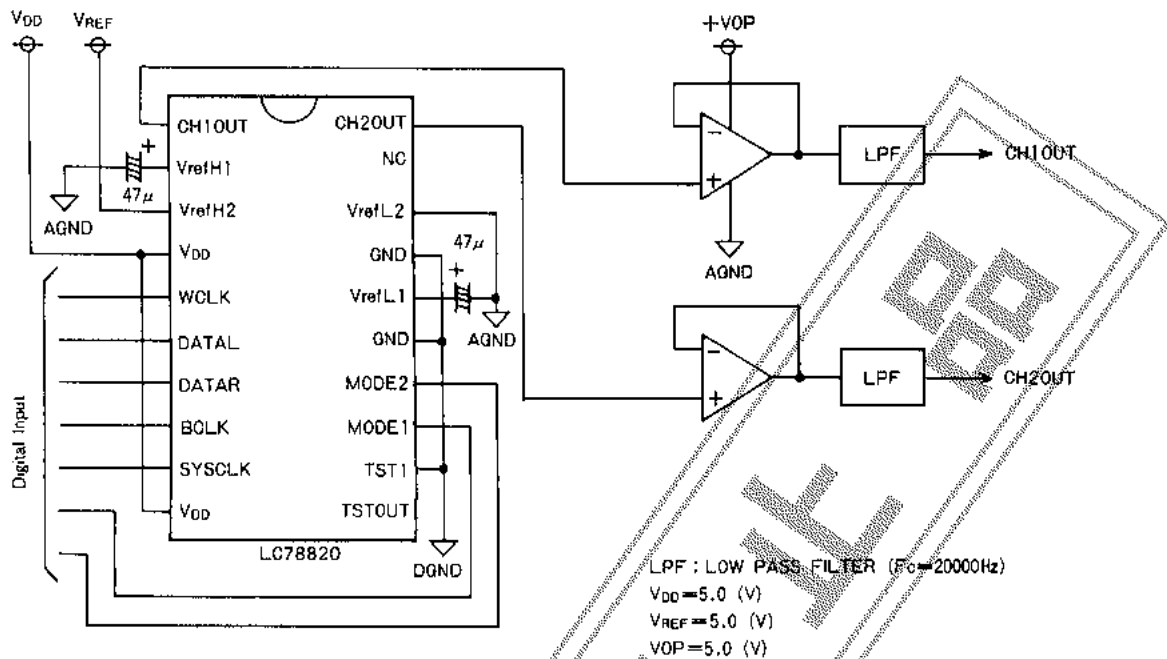
(1)



(2)



(3)



LC78820の出力に接続するオペアンプの電源を、単一電源(+5V)で使用する場合の回路例。

LC78820に内蔵されている抵抗 $R_H$ 、 $R_L$ (図1参照)の効果で最大出力振幅は、およそ2Vp-pに絞られる。

#### 注意

- ① 回路例図中、DGNDはデジタル系、AGNDはアナログ系のGNDに接続すること。
- ②  $V_{DD}$ 、 $V_{REF}$ 電源は、低インピーダンス、高安定度の電源(市販の三端子レギュレータ相当)を、印加すること。
- ③ 1、20ピンは、出力インピーダンスが高いので、バッファ用オペアンプは、必ずボルテージフォロアとすること。
- ④ 4、10ピン( $V_{DD}$ )の電源立ち上がりタイミングがずれると、ラッチアップする可能性があるため、4、10ピンは同一電源から供給すること。

この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.