

SANYO

三洋半導体開発ニュース

No. N 6738

O2000

暫定規格

LC865412B / 08B / 04B

CMOS LSI

ROM12K / 8K / 4K バイト RAM224 バイト内蔵  
8ビット1チップマイクロコンピュータ

## 概要

LC865412B / 08B / 04Bは、最小バスサイクルタイム0.5 $\mu$ sで動作するCPU部を中心にして、12K / 8K / 4K バイトROM, 224バイトRAM, 16ビットタイマ / カウンタ (または、2チャンネル $\times$ 8ビットタイマ), 16ビットタイマ / PWM (または、2チャンネル $\times$ 8ビットタイマ), 8チャンネル $\times$ 8ビットADコンバータ, 2チャンネル $\times$ 8ビット同期式シリアルインタフェース, 13要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

## 特長

## ROM

- 12288  $\times$  8 ビット (LC865412B)
- 8192  $\times$  8 ビット (LC865408B)
- 4096  $\times$  8 ビット (LC865404B)

## RAM

- 224  $\times$  8 ビット (LC865412B / 08B / 04B)

## 最小バスサイクルタイム

- 0.5 $\mu$ s (6MHz発振周波数, 1/1分周時)

(注) バスサイクルタイムはROMの読みだし速度を表わします。

## 最小命令サイクルタイム

- 1命令サイクルタイムにROMを2回読みだす構成のために当社の4ビットマイコン(LC66000シリーズ)に比較して同じ命令サイクルタイムでも約1.7倍の処理能力を持ちます。

バスサイクルタイム	命令サイクルタイム	分周仕様	システムクロック発振源	発振周波数	電源電圧
0.5 $\mu$ s	1.0 $\mu$ s	1/1 分周	セラミック(CF)発振	6MHz	4.5 ~ 6.0V
2.0 $\mu$ s	4.0 $\mu$ s	1/2 分周	セラミック(CF)発振	3MHz	2.5 ~ 6.0V
7.5 $\mu$ s	15 $\mu$ s	1/2 分周	内蔵RC発振	800kHz	2.5 ~ 6.0V
183 $\mu$ s	366 $\mu$ s	1/2 分周	水晶(XTAL)発振	32.768kHz	2.5 ~ 6.0V

- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

## ボ - ト

- ・ ノーマル耐圧入出力ボ - ト : 3ボ - ト (16本 ボ - ト1, 7, 8)  
ビット単位で入出力指定可能
- ・ 最大15V耐圧入出力ボ - ト : 2ボ - ト (15本)  
ニブル単位で入出力指定可能なボ - ト : 1ボ - ト (8本 ボ - ト0)  
(ただし、Nchオープンドレイン出力選択時はビット単位で入力できます。)  
ビット単位で入出力指定可能なボ - ト : 1ボ - ト (7本 ボ - ト3)
- ・ ノーマル耐圧入力ボ - ト : 2ボ - ト (6本 ボ - ト7, 8)

## ADコンバ - タ

- ・ 8チャンネル×8ビットADコンバータ

## シリアルインタ - フェ - ス

- ・ 1チャンネル×16ビットシリアルインタフェース (ソフト切り換えにより、8ビット転送可能)
- ・ 1チャンネル×8ビットシリアルインタフェース
- ・ LSB先頭 / MSB先頭切り換え可能
- ・ 8ビットボーレートジェネレータ内蔵  
ただし、ボーレートジェネレータは2チャンネルシリアルインタフェースで共用

## タイマ

- ・ タイマ0  
16ビットタイマ / カウンタ  
2ビットプリスケアラ+8ビットプログラマブルプリスケアラ内蔵  
モード0: プログラマブルプリスケアラ付き8ビットタイマ×2チャンネル  
モード1: プログラマブルプリスケアラ付き8ビットタイマ+8ビットカウンタ  
モード2: プログラマブルプリスケアラ付き16ビットタイマ  
モード3: 16ビットカウンタ  
タイマ分解能は、tCYCです。(tCYC: 命令サイクルタイム)
- ・ タイマ1  
16ビットタイマ / PWM  
モード0: 8ビットタイマ×2チャンネル  
モード1: 8ビットタイマ+8ビットPWM  
モード2: 16ビットタイマ  
モード3: ビット幅可変 (9~16ビット) PWM  
モード0, 1の分解能はtCYCです。  
モード2, 3の分解能はtCYC, 1/2tCYCのいずれかにプログラムで選択可能。  
(tCYC: 命令サイクルタイム)
- ・ ベースタイマ  
時計用500msオーバフロー信号発生機能 (ベースタイマクロックに32.768kHz水晶発振を選択時)  
976μs, 3.9ms, 15.6ms, 62.5msのうちのいずれかの周期毎のオーバフロー信号発生機能 (ベースタイマクロックに32.768kHz水晶発振を選択時)
- ・ クロック選択機能  
32.768kHz水晶発振, システムクロック, タイマ0のプログラマブルプリスケアラ出力

## ブザ - 出力

- ・ 4KHz, 2KHzのブザ - 発生機能内蔵 (ベースタイマクロックに32.768kHz水晶発振を選択時)

## リモコン受信回路 (P73 / INT3 / T0IN端子と共用)

- ・ ノイズ除去機能 (ノイズ除去フィルタの時定数 1 tCYC / 16tCYC / 64tCYCはソフト切り換え。)  
(tCYC: 命令サイクルタイム)
- ・ 極性切り換え機能

## ウォッチドッグタイマ

- ・ RC外付けによるウォッチドッグタイマ
- ・ 割り込み, リセットの選択可能

## 割り込み

- ・13要因, 10ベクタ
  1. 外部割り込みINT0 (ウォッチドッグタイマ含む)
  2. 外部割り込みINT1
  3. 外部割り込みINT2, タイマ/カウンタT0L (下位8ビット)
  4. 外部割り込みINT3, ベースタイマ
  5. タイマ/カウンタT0H (上位8ビット)
  6. タイマT1L (下位8ビット), タイマT1H (上位8ビット)
  7. シリアルインタフェースSIO0
  8. シリアルインタフェースSIO1
  9. ADコンバータ
  10. ポート0

## ・割り込み優先レジスタ内蔵

割り込みは低レベル, 高レベル, 最高レベルの3レベルの多重割り込みが可能です。外部割り込みINT2, タイマ/カウンタT0L(下位8ビット)からポート0の11の割り込み要因は、割り込み優先レジスタにより低レベルまたは高レベルの割り込みの優先が指定できます。

また、外部割り込みINT0, INT1は、低レベルまたは最高レベルの割り込み優先が指定できます。

## サブル - チンスタックレベル

- ・最大 112レベル (スタックはRAMの中に設定)

## 高速乗除算命令内蔵

- ・16ビット×8ビット (実行時間: 7命令サイクルタイム)
- ・16ビット÷8ビット (実行時間: 7命令サイクルタイム)

## 3種類の発振回路

- ・RC発振回路 (内蔵) : システムクロック用
- ・CF発振回路 : システムクロック用
- ・水晶発振回路 : 時計用, システムクロック用

## スタンバイ機能

- ・HALTモード

命令の実行を停止するモードであり、システムリセットまたは割り込みの発生により解除可能です。

- ・HOLDモード

CF発振, RC発振, 水晶発振のいずれも停止するモードです。HOLDモードを解除するには、次の3つの方法があります。

- (1) システムリセット。
- (2) P70 / INT0 / T0IN端子またはP71 / INT1 / T0IN端子に指定されたレベルを入力します。
- (3) ポート0で割り込み条件が成立する。

## 出荷形態

- ・DIP42S
- ・QFP48E

## 開発ツール

- ・エバチップ : LC866096
- ・EPROM版 : LC86E5420
- ・ワンタイム版 : LC86P5420
- ・エミュレータ : EVA-86000 (本体) + ECB867100 (エバチップボード) + POD865400 (ポッド)

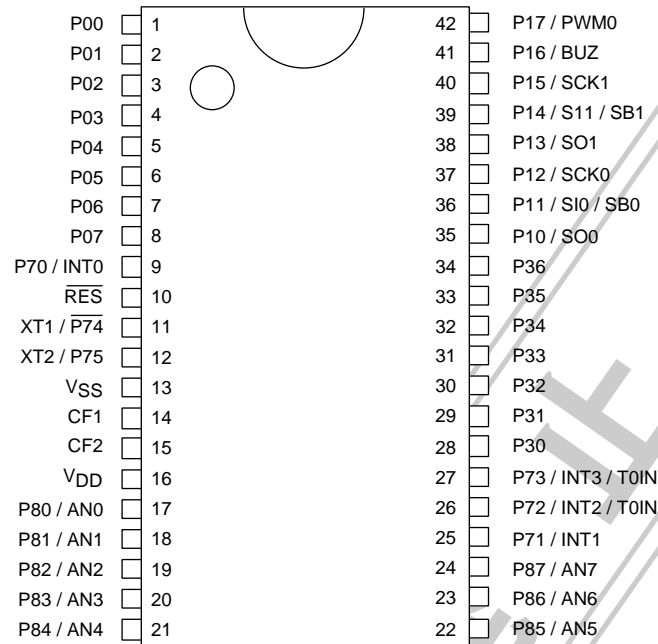
## 使用上の注意点

1. 下表に示すシステムクロックの発振周波数範囲と、電源電圧範囲及び分周仕様の関係に従って下さい。

システムクロックの発振周波数範囲	電源電圧範囲	分周仕様	備考
15kHz ~ 30kHz	4.5V ~ 6.0V	1/1	1/2分周不可
30kHz ~ 6MHz		1/1, 1/2	
15kHz ~ 30kHz	2.5V ~ 6.0V	1/1	1/2分周不可
30kHz ~ 1.5MHz		1/1, 1/2	
1.5MHz ~ 3MHz		1/2	1/1分周不可
内蔵RC発振	4.5V ~ 6.0V	1/1, 1/2	
	2.5V ~ 6.0V	1/2	1/1分周不可

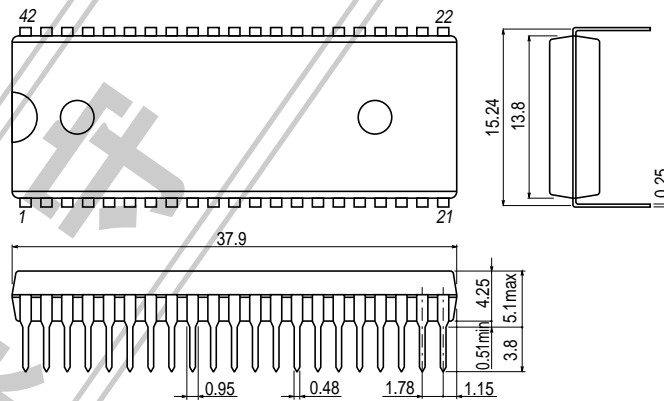
ピン配置図

• DIP42S



ILC00009

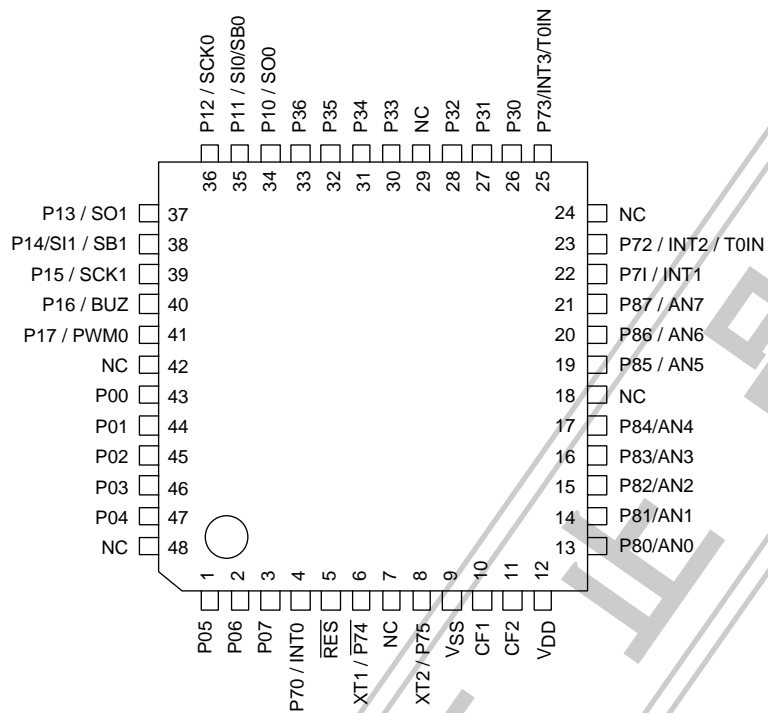
外形図 3025B  
(unit : mm)



SANYO : DIP42S(600mil)

# LC865412B/08B/04B

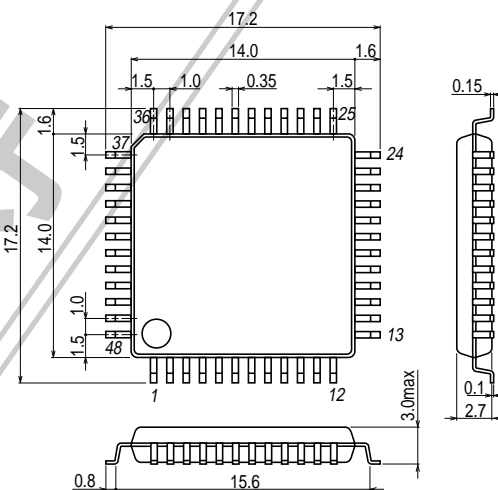
• QFP48E



(注) NCピンは何も接続しないこと。

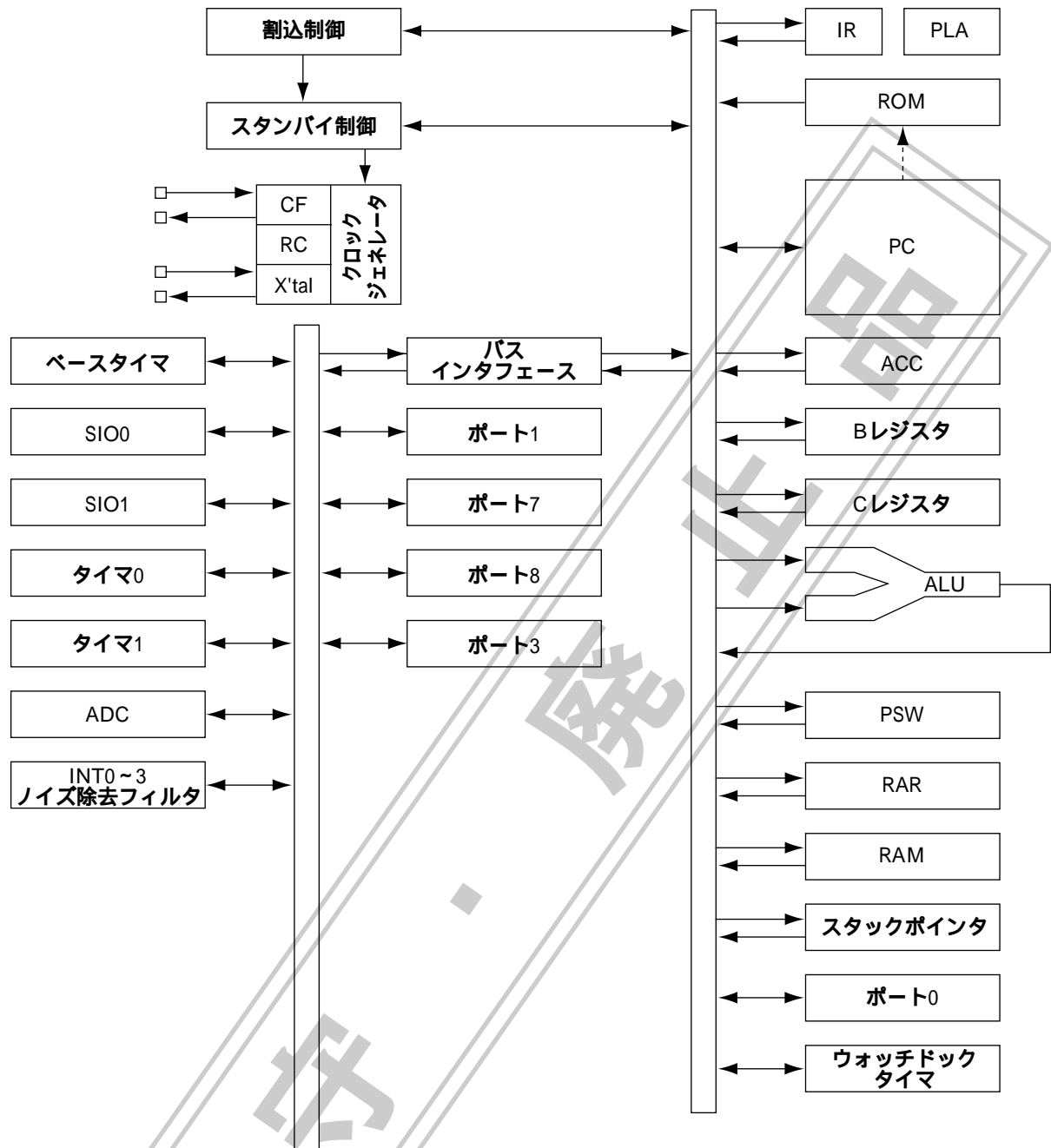
ILC00010

外形図 3156  
(unit : mm)



SANYO : QIP48E

システムブロック図



ILC00036

# LC865412B/08B/04B

LC865412B / 08B / 04B 端子機能表

端子名	入出力	機 能 説 明	オプション																																								
VSS		電源の - 端子																																									
VDD		電源の + 端子																																									
PORT0  P00 ~ P07	入出力	・8ビットの入出力ポート 4ビット単位の入出力指定可能 ・HOLD解除入力 ・ポート0割り込み入力 ・Nチャネルオープンドレイン出力時は15V耐圧	・プルアップ抵抗 有 / 無 (4ビット一括) ・出力形式 CMOS / Nチャネルオープンドレイン (1ビット単位)																																								
PORT1  P10 ~ P17	入出力	・8ビットの入出力ポート 1ビット単位の入出力指定可能 ・兼用機能 P10 : SIO0データ出力 P11 : SIO0データ入力 / バス入出力 P12 : SIO0クロック入出力 P13 : SIO1データ出力 P14 : SIO1データ入力 / バス入出力 P15 : SIO1クロック入出力 P16 : ブザー (BUZ) 出力 P17 : タイマ1 (PWM0) 出力	出力形式 CMOS / Nチャネルオープンドレイン (1ビット単位)																																								
PORT3  P30 ~ P36	入出力	・7ビットの入出力ポート 1ビット単位の入出力指定可能 ・Nチャネルオープンドレイン出力時は15V耐圧	・プルアップ抵抗 有 / 無 (1ビット単位) ・出力形式 CMOS / Nチャネルオープンドレイン (1ビット単位)																																								
PORT7  P70 ~ P73  P74 , P75	入出力   入力	・4ビットの入出力ポート 1ビット単位の入出力指定可能 ・2ビットの入力ポート ・兼用機能 P70 : INT0入力 / HOLD解除入力 / ウォッチドッグタイマ用Nch-Tr出力 P71 : INT1入力 / HOLD解除入力 P72 : INT2入力 / タイマ0イベント入力 P73 : INT3入力(ノイズフィルタ付入力) / タイマ0イベント入力 P74 : 32.768 kHz水晶発振器用入力端子 XT1 P75 : 32.768 kHz水晶発振器用出力端子 XT2 ・インタラプト受付形式, ベクタアドレス																																									
		<table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり</td><td>立ち下がり</td><td>Hレベル</td><td>Lレベル</td><td>ベクタ</td></tr><tr><td>INT0</td><td></td><td></td><td>x</td><td></td><td></td><td></td><td>03H</td></tr><tr><td>INT1</td><td></td><td></td><td>x</td><td></td><td></td><td></td><td>0BH</td></tr><tr><td>INT2</td><td></td><td></td><td></td><td></td><td>x</td><td>x</td><td>13H</td></tr><tr><td>INT3</td><td></td><td></td><td></td><td></td><td>x</td><td>x</td><td>1BH</td></tr></table>		立ち上がり	立ち下がり	立ち上がり	立ち下がり	Hレベル	Lレベル	ベクタ	INT0			x				03H	INT1			x				0BH	INT2					x	x	13H	INT3					x	x	1BH	
	立ち上がり	立ち下がり	立ち上がり	立ち下がり	Hレベル	Lレベル	ベクタ																																				
INT0			x				03H																																				
INT1			x				0BH																																				
INT2					x	x	13H																																				
INT3					x	x	1BH																																				
PORT8  P80 ~ P83 P84 ~ P87	入力 入出力	・4ビットの入出力ポート 1ビット単位の入出力指定可能 ・4ビットの入力ポート ・兼用機能 AD変換入力ポート(8本)																																									

端子名	入出力	機 能 説 明	オプション
RES	入力	リセット端子	
XT1 / P74	入力	<ul style="list-style-type: none"> <li>・32.768 kHz水晶発振子用入力端子</li> <li>・兼用機能 XT1 : 入力ポート74</li> <li>・使用しない場合はV<sub>DD</sub>に接続</li> </ul>	
XT2 / P75	出力	<ul style="list-style-type: none"> <li>・32.768 kHz水晶発振子用出力端子</li> <li>・兼用機能 XT2 : 入力ポート P75</li> <li>・使用しない場合 <ul style="list-style-type: none"> <li>・ポート仕様時はV<sub>DD</sub>に接続</li> <li>・発振仕様時はオープン</li> </ul> </li> </ul>	
CF1	入力	セラミック発振子用入力端子	
CF2	出力	セラミック発振子用出力端子	

\*ポートのオプションは、ポート0のプルアップ抵抗（4ビット一括）を除いて、1ビット単位で指定可能です。

リセット期間中のポートの状態。

端子名	入出力モード	プルアップオプション有指定時のプルアップ抵抗の状態
PORT0	入力	固定プルアップ抵抗OFF
PORT1, 3	入力	プログラマブルプルアップ抵抗OFF



# LC865412B/08B/04B

1. 絶対最大定格 / Ta=25 , VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
最大電源電圧	VDDMAX	VDD	VDD		- 0.3	~	+ 7.0	V
入力電圧	VI(1)	・ポート74, 75 ・ポート80, 81, 82, 83 ・RES			- 0.3	~	VDD + 0.3	
入出力電圧	VIO(1)	・ポート1 ・ポート70, 71, 72, 73 ・ポート84, 85, 86, 87 ・CMOS出力の ポート0, 3			- 0.3	~	VDD + 0.3	
	VIO(2)	オープンドレイン 出力のポート0, 3			- 0.3	~	15	
高 レ ベル 出 力 電 流	ピーク出力電流	IOPH	・ポート0, 1, 3 ・ポート71, 72, 73 ・ポート84, 85, 86, 87	CMOS出力 適用 1 端子当り	- 10			mA
	合計出力電流	IOAH(1)	ポート0, 1	適用全端子合計	- 30			
		IOAH(2)	ポート3	適用全端子合計	- 15			
		IOAH(3)	・ポート71, 72, 73 ・ポート84, 85, 86, 87	適用全端子合計	- 10			
低 レ ベル 出 力 電 流	ピーク出力電流	IOPL(1)	ポート0, 1, 3	適用 1 端子当り			20	
		IOPL(2)	・ポート70, 71, 72, 73 ・ポート84, 85, 86, 87	適用 1 端子当り			15	
	合計出力電流	IOAL(1)	ポート0, 1, 70	適用全端子合計			60	
		IOAL(2)	ポート3	適用全端子合計			40	
		IOAL(3)	・ポート71, 72, 73 ・ポート84, 85, 86, 87	適用全端子合計			20	
許容消費電力	Pdmax(1)	DIP42S	Ta= - 30 ~ + 70				630	mW
	Pdmax(2)	QFP48E	Ta= - 30 ~ + 70				410	
動作周囲温度	Topg				- 30	~	70	
保存周囲温度	Tstg				- 65	~	150	

# LC865412B/08B/04B

2. 許容動作範囲 / Ta = -30 ~ +70, VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
動作電源電圧	VDD(1)	VDD	0.98μs tCYC 400μs		4.5		6.0	V
	VDD(2)		3.9μs tCYC 400μs		2.5		6.0	
メモリ保持電源電圧	VHD	VDD	HOLDモード時 RAM, レジスタ保持		2.0		6.0	
高レベル入力電圧	VIH(1)	CMOS出力の ポート0	出力ディセーブル	2.5 ~ 6.0	0.33VDD +1.0		VDD	
	VIH(2)	オープンドレイン 出力のポート0	出力ディセーブル	4.0 ~ 6.0	0.75VDD		13.5	
				2.5 ~ 4.0	0.8VDD		13.5	
	VIH(3)	・ポート1 ・ポート72, 73 ・CMOS出力の ポート3	出力ディセーブル	2.5 ~ 6.0	0.75VDD		VDD	
	VIH(4)	オープンドレイン 出力のポート3	出力ディセーブル	4.0 ~ 6.0	0.75VDD		13.5	
				2.5 ~ 4.0	0.8VDD		13.5	
	VIH(5)	・ポート70 (ポート入力 / 割り込み側) ・ポート71 ・RES	出力ディセーブル	2.5 ~ 6.0	0.75VDD		VDD	
	VIH(6)	ポート70 (ウォッチドッグタイマ側)	出力ディセーブル	2.5 ~ 6.0	0.9VDD		VDD	
低レベル入力電圧	VIH(7)	・ポート8 ・ポート74, 75	出力ディセーブル ポート仕様時	2.5 ~ 6.0	0.75VDD		VDD	
	VIL(1)	CMOS出力の ポート0	出力ディセーブル	2.5 ~ 6.0	VSS		0.2VDD	
	VIL(2)	オープンドレイン 出力のポート0	出力ディセーブル	2.5 ~ 6.0	VSS		0.25VDD	
	VIL(3)	・ポート1, 3 ・ポート72, 73	出力ディセーブル	2.5 ~ 6.0	VSS		0.25VDD	
	VIL(4)	・ポート70 (ポート入力 / 割り込み側) ・ポート71 ・RES	出力ディセーブル	2.5 ~ 6.0	VSS		0.25VDD	
	VIL(5)	ポート70 (ウォッチドッグタイマ側)	出力ディセーブル	2.5 ~ 6.0	VSS		0.8VDD - 1.0	
	VIL(6)	・ポート8 ・ポート74, 75	出力ディセーブル ポート仕様時	2.5 ~ 6.0	VSS		0.25VDD	
命令サイクル タイム	tCYC			4.5 ~ 6.0	0.98		400	μs
				2.5 ~ 6.0	3.9		400	
発振周波数範囲 (注1)	FmCF(1)	CF1, CF2	6 MHzセラミック発振時 図1参照	4.5 ~ 6.0	5.88	6	6.12	MHz
	FmCF(2)	CF1, CF2	3 MHzセラミック発振時 図1参照	2.5 ~ 6.0	2.94	3	3.06	
	FmRC		内蔵RC発振	2.5 ~ 6.0	0.3	0.8	3.0	
	FsXtal	XT1, XT2	32.768 kHz 水晶発振時 図2参照	2.5 ~ 6.0		32.768		kHz

# LC865412B/08B/04B

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
発振安定時間 (注1)	tmsCF(1)	CF1, CF2	6 MHz セラミック発振時 図3参照	4.5 ~ 6.0		0.05	0.5	ms
	tmsCF(2)	CF1, CF2	3MHz セラミック発振時 図3参照	4.5 ~ 6.0 2.5 ~ 6.0		0.10 0.10	1.00 3.00	
	tssXtal	XT1, XT2 図3参照	32.768 kHz水晶発振時 2.5 ~ 6.0	4.5 ~ 6.0	1.00	1.00 3.00	1.50	s

(注1) 発振定数は表1, 2参照のこと。

## 3. 電気的特性 / Ta= -30 ~ +70, VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
高レベル入力電流	IIH(1)	オプンドレイン出力の ポート0,3	出力ディセーブル VIN=13.5V (出力 Tr. のオフ リーク電流を含む)	2.5 ~ 6.0			5	μA
	IIH(2)	・ポート1,3 ・プリアップ MOS Tr. 無しのポート0 ・ポート70,71,72,73 ・ポート8	出力ディセーブル プリアップ MOS Tr. オフ VIN=VDD (出力 Tr. のオフ リーク電流を含む)	2.5 ~ 6.0			1	
	IIH(3)	RES	VIN=VDD	2.5 ~ 6.0			1	
	IIH(4)	ポート74,75 VIN=VDD	ポート仕様時	2.5 ~ 6.0			1	
低レベル入力電流	IIL(1)	・ポート1,3 ・プリアップ MOS Tr. 無しのポート0 ・ポート70,71,72,73 ・ポート8	出力ディセーブル プリアップ MOS Tr. オフ VIN=VSS (出力 Tr. のオフ リーク電流を含む)	2.5 ~ 6.0	-1			μA
	IIL(2)	RES	VIN=VSS	2.5 ~ 6.0	-1			
	IIL(3)	ポート74,75 VIN=VSS	ポート仕様時	2.5 ~ 6.0	-1			
高レベル出力電圧	VOH(1)	・CMOS出力の ポート0,1,3	IOH= -1.0mA	4.5 ~ 6.0	VDD - 1			V
	VOH(2)	・ポート71,72,73 ・ポート84,85,86,87	IOH= -0.1mA	2.5 ~ 6.0	VDD - 0.5			

# LC865412B/08B/04B

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
低レベル出力電圧	VOL(1)	ポート0, 1, 3	IOL=10mA	4.5 ~ 6.0			1.5	V
	VOL(2)		IOL=1.6mA	4.5 ~ 6.0			0.4	
	VOL(3)		IOL=1mA 全端子の1本当りの IOLは1mA以下の時	2.5 ~ 6.0			0.4	
	VOL(4)	・ポート71, 72, 73 ・ポート84, 85, 86, 87	IOL=1.6mA	4.5 ~ 6.0			0.4	
	VOL(5)		IOL=0.5mA 全端子の1本当りの IOLは1mA以下の時	2.5 ~ 6.0			0.4	
	VOL(6)	ポート70	IOL=1mA	4.5 ~ 6.0			0.4	
	VOL(7)		IOL=0.5mA 全端子の1本当りの IOLは1mA以下の時	2.5 ~ 6.0			0.4	
プルアップMOS Tr.	Rpu	・ポート0, 1, 3 ・ポート70, 71, 72, 73 ・ポート84, 85, 86, 87	VOH=0.9VDD	4.5 ~ 6.0	15	40	70	kΩ
				2.5 ~ 4.5	25	70	150	
ヒステリシス電圧	VHIS	・ポート1 ・ポート70, 71, 72, 73 ・ $\overline{\text{RES}}$	出力ディセーブル	2.5 ~ 6.0		0.1VDD		V
端子容量	CP	全端子	・f=1MHz ・被測定端子以外は、 IN=VSS ・Ta=25	2.5 ~ 6.0		10		pF

## 4. シリアル入出力特性 / Ta= - 30 ~ +70 , VSS=0V

項目			記号	適用端子・備考	条件	規格				
						VDD[V]	min	typ	max	unit
シリアル クロック	入力 クロック	周期	tCKCY(1)	SCK0, SCK1	図 5 参照	2.5 ~ 6.0	2			tCYC
		低レベル パルス幅	tCKL(1)			2.5 ~ 6.0	1			
		高レベル パルス幅	tCKH(1)			2.5 ~ 6.0	1			
	出力 クロック	周期	tCKCY(2)	SCK0, SCK1	オプショナル出力時は、 1kΩのプルアップ抵抗 を外付けする。 図 5 参照	2.5 ~ 6.0	2			
		低レベル パルス幅	tCKL(2)			2.5 ~ 6.0		1/2 tCKCY		
		高レベル パルス幅	tCKH(2)			2.5 ~ 6.0		1/2 tCKCY		
シリアル 入力	データセット アップ時間	tICK	SI0, SI1 SB0, SB1	SCK0,SCK1の立ち 上がりに対して 規定する 図 5 参照	4.5 ~ 6.0	0.1			μs	
					2.5 ~ 6.0	0.4				
	データホール ド時間	tCKI			4.5 ~ 6.0	0.1				
					2.5 ~ 6.0	0.4				

# LC865412B/08B/04B

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
シリアル出力	シリアルクロックが外部クロック時の出力遅延時間	tCKO(1) ・SO0, SO1 ・SB0, SB1	SCK0, SCK1の立ち下がりに対して規定するオープンレイン出力時は、1kΩのプルアップ抵抗を外付けする。 図5参照	4.5 ~ 6.0			7/12tCYC + 0.2	
				2.5 ~ 6.0			7/12tCYC + 1	
	シリアルクロックが内部クロック時の出力遅延時間	tCKO(2) ・SO0, SO1 ・SB0, SB1	SCK0, SCK1の立ち下がりに対して規定するオープンレイン出力時は、1kΩのプルアップ抵抗を外付けする。 図5参照	4.5 ~ 6.0			1/3tCYC + 0.2	
				2.5 ~ 6.0			1/3tCYC + 1	

## 5. パルス入力条件 / Ta = -30 ~ +70, VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
高・低レベルパルス幅	tPIH(1) tPIL(1)	・INT0, INT1 ・INT2 / T0IN	割り込み要因フラグをセットできる。 タイマ/カウンタがリセットできる。	2.5 ~ 6.0	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタの時定数が1/1の場合の INT3 / T0IN	割り込み要因フラグをセットできる。 タイマ/カウンタがリセットできる。	2.5 ~ 6.0	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタの時定数が1/16の場合の INT3 / T0IN	割り込み要因フラグをセットできる。 タイマ/カウンタがリセットできる。	2.5 ~ 6.0	32			
	tPIH(4) tPIL(4)	ノイズ除去フィルタの時定数が1/64の場合の INT3 / T0IN	割り込み要因フラグをセットできる。 タイマ/カウンタがリセットできる。	2.5 ~ 6.0	128			
	tPIL(5)	RES	リセットできる。	2.5 ~ 6.0	200			μs

# LC865412B/08B/04B

## 6 . A/D変換特性 / Ta= - 30 ~ +70 , VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
分解能	N			4.5 ~ 6.0		8		bit
絶対精度	ET		(注2)				± 1.5	LSB
変換時間	tCAD		AD変換時間=16 × tCYC (ADCR2=0の時) (注3)		15.68 (tCYC= 0.98μs)		65.28 (tCYC= 4.08μs)	μs
			AD変換時間=32 × tCYC (ADCR2=1の時) (注3)		31.36 (tCYC= 0.98μs)		130.56 (tCYC= 4.08μs)	
アナログ入力 電圧範囲	VAIN	AN0 ~ AN7			VSS		VDD	V
アナログポート	IAINH		VAIN=VDD				1	μA
入力電流	IAINL		VAIN=VSS		- 1			

(注2) 絶対精度は量子化誤差 (±1 / 2 LSB) を除く。

(注3) 変換時間は、変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

## 7 . 消費電流特性 / Ta= - 30 ~ +70 , VSS=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
通常動作時 消費電流 (注4)	IDDOP(1)	VDD	• FmCF=6MHz セラミック発振時 • FsXtal=32.768 kHz 水晶発振時 • システムクロックは6MHz側 • 内蔵RC発振は停止 • 1/1分周時	4.5 ~ 6.0		7	18	mA
	IDDOP(2)		• FmCF=3MHz セラミック発振時 • FsXtal=32.768kHz 水晶発振時 • システムクロックは3MHz側 • 内蔵RC発振は停止 • 1/2分周時	4.5 ~ 6.0		3	7	
	IDDOP(3)		• FmCF=0Hz (発振停止) • FsXtal=32.768kHz 水晶発振時 • システムクロックは内蔵RC発振 • 1/2分周時	2.5 ~ 4.5		1.5	5	
	IDDOP(4)		• FmCF=0Hz (発振停止) • FsXtal=32.768kHz 水晶発振時 • システムクロックは32.768kHz側 • 内蔵RC発振は停止 • 1/2分周時	4.5 ~ 6.0		0.7	3	
	IDDOP(5)		• FmCF=0Hz (発振停止) • FsXtal=32.768kHz 水晶発振時 • システムクロックは32.768kHz側 • 内蔵RC発振は停止 • 1/2分周時	2.5 ~ 4.5		0.4	2.5	
	IDDOP(6)		• FmCF=0Hz (発振停止) • FsXtal=32.768kHz 水晶発振時 • システムクロックは32.768kHz側 • 内蔵RC発振は停止 • 1/2分周時	4.5 ~ 6.0		35	130	μA
	IDDOP(7)		• FmCF=0Hz (発振停止) • FsXtal=32.768kHz 水晶発振時 • システムクロックは32.768kHz側 • 内蔵RC発振は停止 • 1/2分周時	2.5 ~ 4.5		15	70	

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
HALTモード 消費電流 (注4)	IDDHALT(1)	VDD	<ul style="list-style-type: none"> <li>HALTモード</li> <li>FmCF=6MHz セラミック発振時</li> <li>FsXtal=32.768kHz 水晶発振時</li> <li>システムクロックは6MHz側</li> <li>内蔵RC発振は停止</li> <li>1/1分周時</li> </ul>	4.5 ~ 6.0		4	9	mA
	IDDHALT(2)		<ul style="list-style-type: none"> <li>HALTモード</li> <li>FmCF=3MHz セラミック発振時</li> <li>FsXtal=32.768kHz 水晶発振時</li> </ul>	4.5 ~ 6.0		2.2	5	
	IDDHALT(3)		<ul style="list-style-type: none"> <li>システムクロックは3MHz側</li> <li>内蔵RC発振は停止</li> <li>1/2分周時</li> </ul>	2.5 ~ 4.5		0.8	3	
	IDDHALT(4)		<ul style="list-style-type: none"> <li>HALTモード</li> <li>FmCF=0Hz (発振停止)</li> <li>FsXtal=32.768kHz 水晶発振時</li> </ul>	4.5 ~ 6.0		400	1600	μA
	IDDHALT(5)		<ul style="list-style-type: none"> <li>システムクロックは内蔵RC発振</li> <li>1/2分周時</li> </ul>	2.5 ~ 4.5		200	1300	
	IDDHALT(6)		<ul style="list-style-type: none"> <li>HALTモード</li> <li>FmCF=0Hz (発振停止)</li> <li>FsXtal=32.768kHz 水晶発振時</li> </ul>	4.5 ~ 6.0		25	100	
	IDDHALT(7)		<ul style="list-style-type: none"> <li>システムクロックは 32.768kHz側</li> <li>内蔵RC発振は停止</li> <li>1/2分周時</li> </ul>	2.5 ~ 4.5		8	55	
HOLDモード 消費電流 (注4)	IDDHOLD(1)	VDD	HOLDモード	4.5 ~ 6.0		0.05	30	
	IDDHOLD(2)			2.5 ~ 4.5		0.02	20	

(注4) 消費電流は出力 Tr. およびプルアップ MOS Tr.に流れる電流を含まない。

表1 セラミック発振保証定数（メインクロック）

発振の種類	メーカー	発振子	C 1	C 2
6 MHzセラミック発振	ムラタ	CSA 6.00MG	33pF	33pF
		CST 6.00MGW	内蔵	
	京セラ	KBR-6.0MSA	33pF	33pF
		PBRC 6.00A (チップタイプ)	33pF	33pF
		KBR-6.0MKS	内蔵	
		PBRC 6.00B (チップタイプ)		
3 MHzセラミック発振	ムラタ	CSA 3.00MG	33pF	33pF
		CST 3.00MGW	内蔵	
	京セラ	KBR-3.0MS	47pF	47pF

C1, C2はK公差（ $\pm 10\%$ ）SL特性を使用すること。

表2 水晶発振保証定数（サブクロック）

発振の種類	メーカー	発振子	C 3	C 4
32.768 kHz 水晶発振	京セラ	KF-38G-13P0200	18pF	18pF

C3, C4はJ公差（ $\pm 5\%$ ）CH特性を使用すること。

（高精度を必要としないものについては、K公差（ $\pm 10\%$ ）SL特性を使用すること。）

- （注意）・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。
- ・上記以外の発振子を用いた場合には、特性を保証できない。

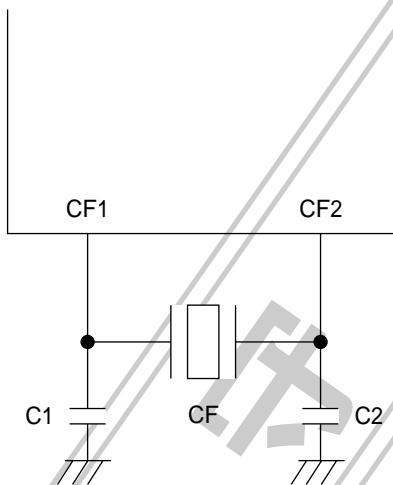


図1 セラミック発振回路

ILC00059

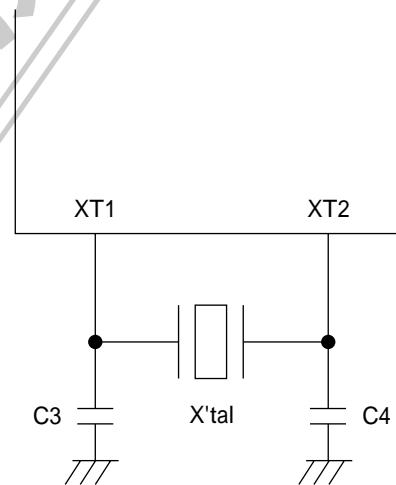


図2 水晶発振回路

ILC00065



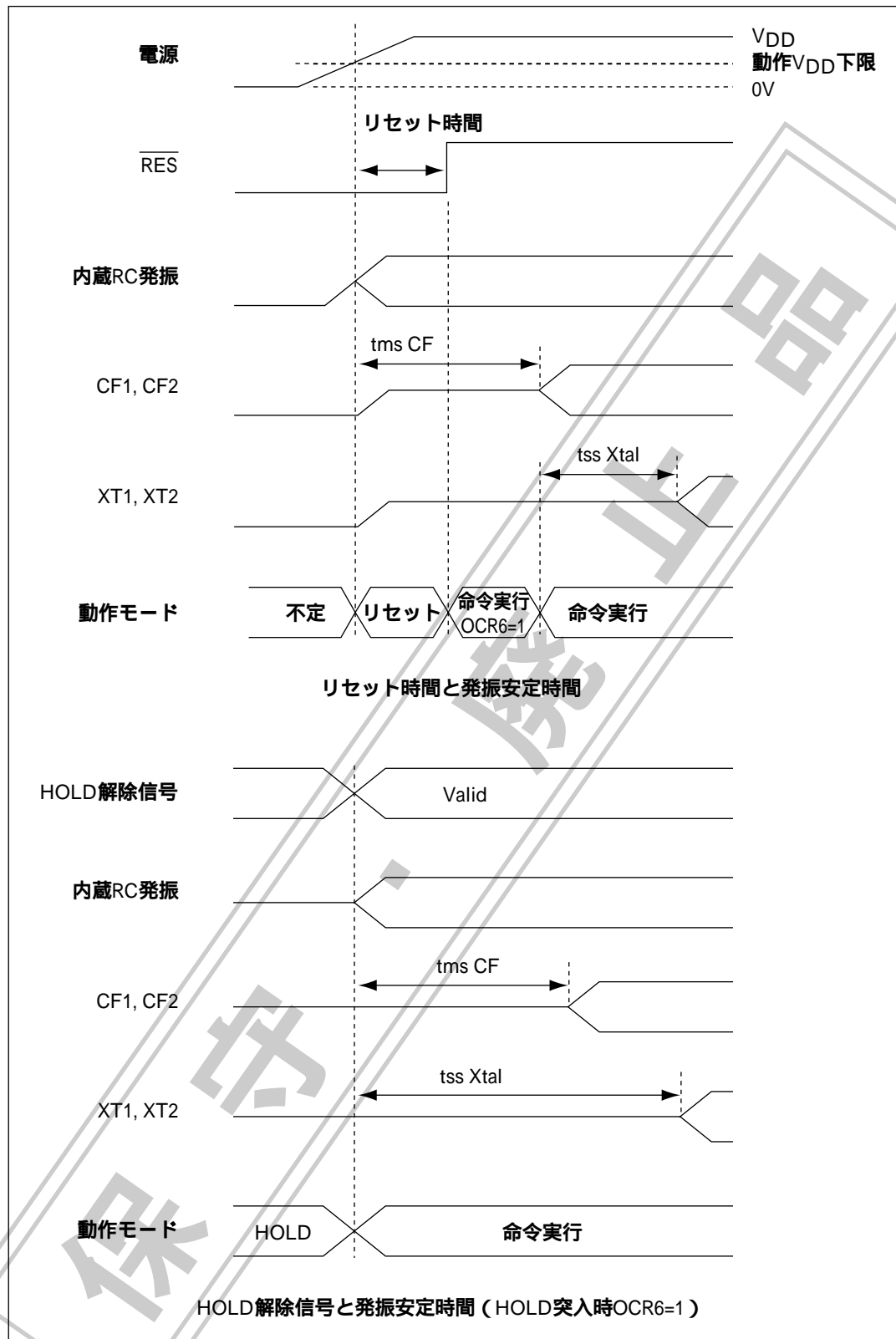
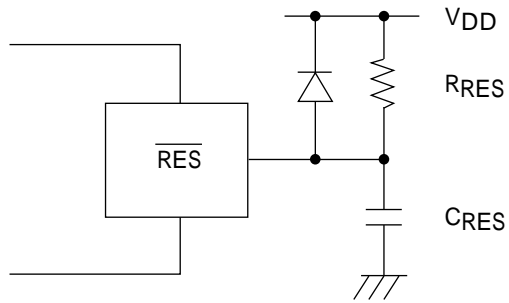


図3 発振安定時間

ILC00044



(注意) 電源が動作電源電圧の下限を上回ったあと  
200 $\mu$ sまでは必ずリセットがかかるように  
 $R_{RES}$ ,  $C_{RES}$ の値を決めること。

図4 リセット回路

ILC00052

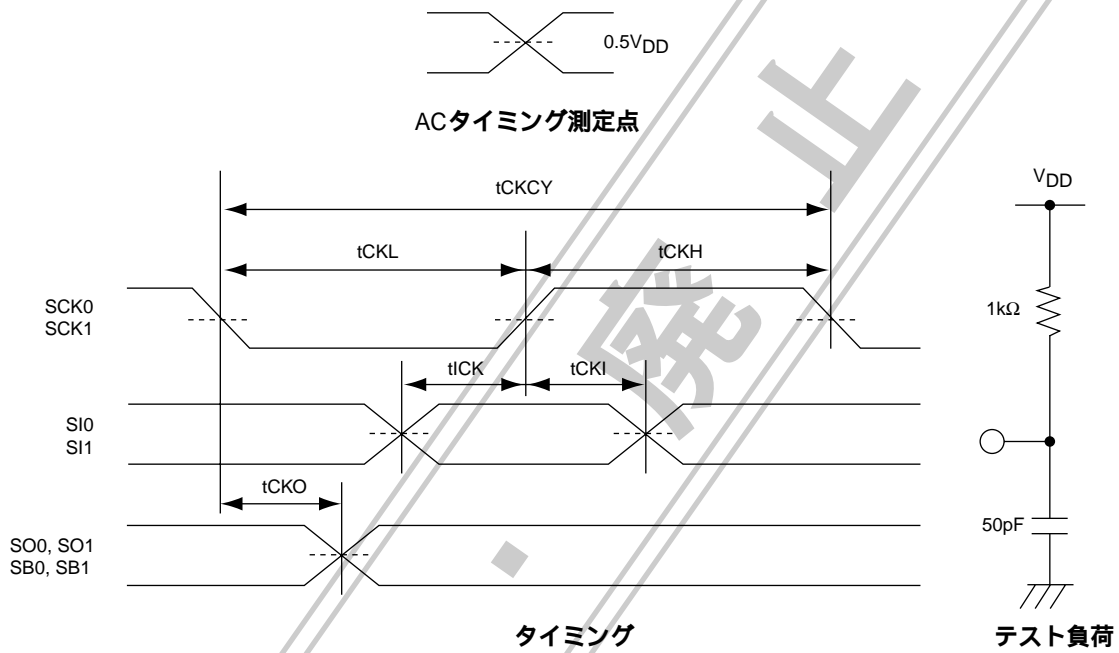


図5 シリアル入出力テスト条件

ILC00073

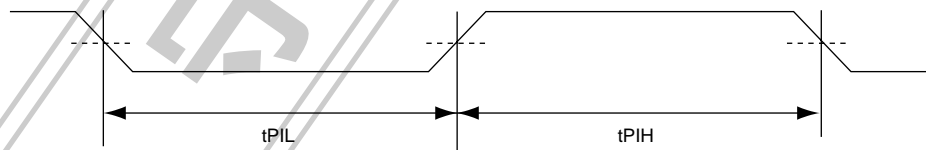


図6 パルス入力タイミング条件

ILC00074

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。